

FIGURA 5-1 Diagrama geral de um sistema digital.

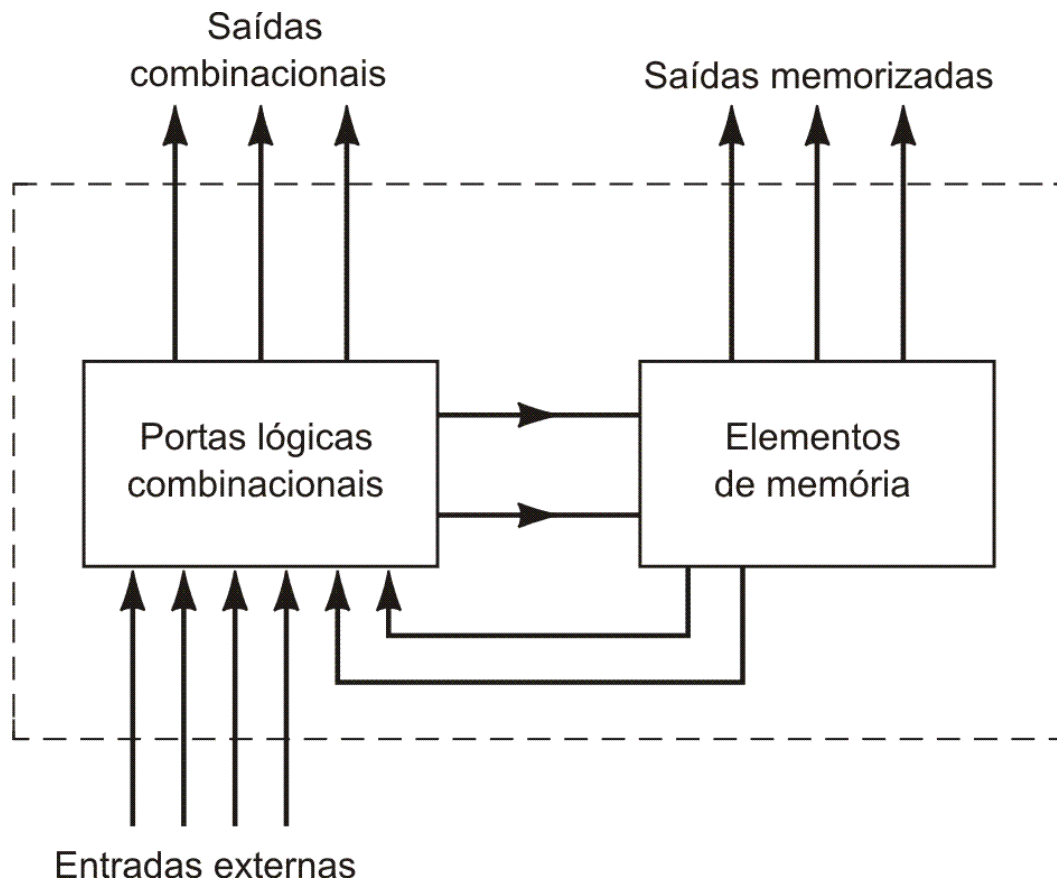


FIGURA 5-2 Símbolo geral para um flip-flop e definição dos seus dois estados de saída possíveis.

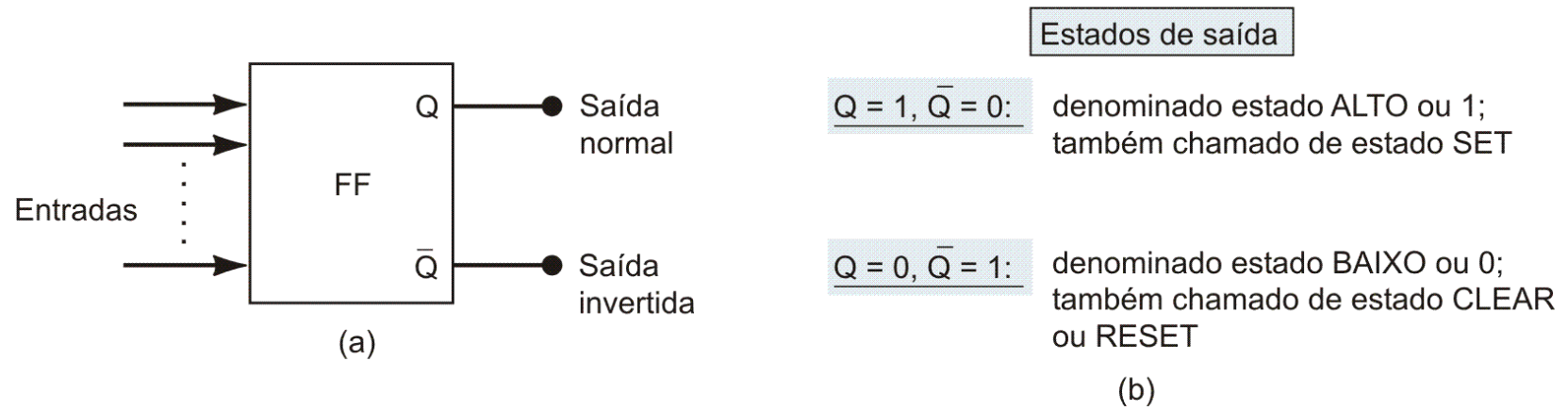


FIGURA 5-3 Um latch com portas NDA tem dois estados de repouso possíveis quando SET = CLEAR = 1.

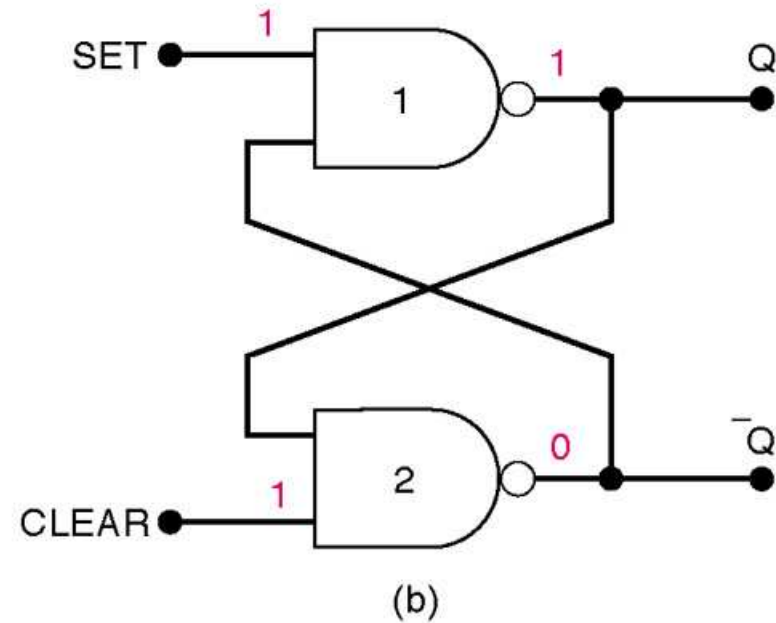
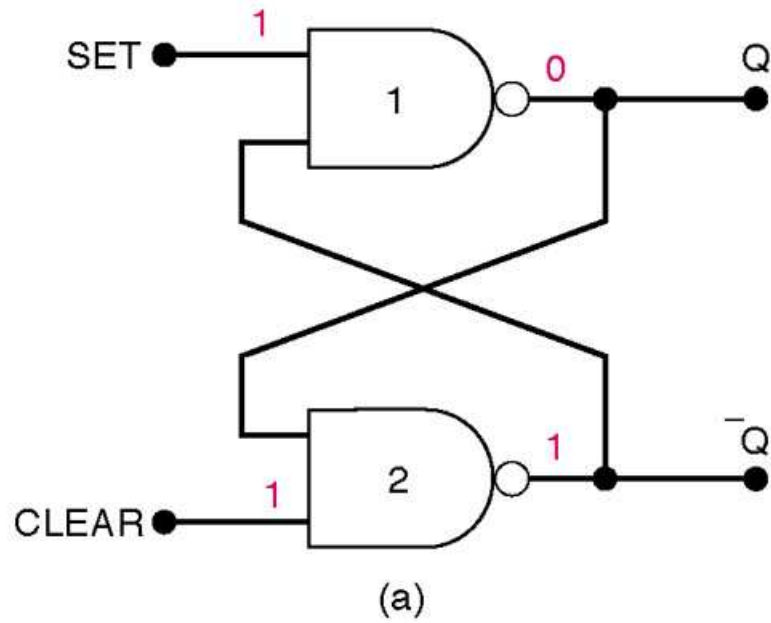


FIGURA 5-4 Pulsando a entrada SET para o estado 0 quando (a) $Q=0$ antes do pulso na entrada SET; (b) $Q=1$ antes do pulso na entrada SET. Observe que nos dois casos a saída Q termina em nível ALTO.

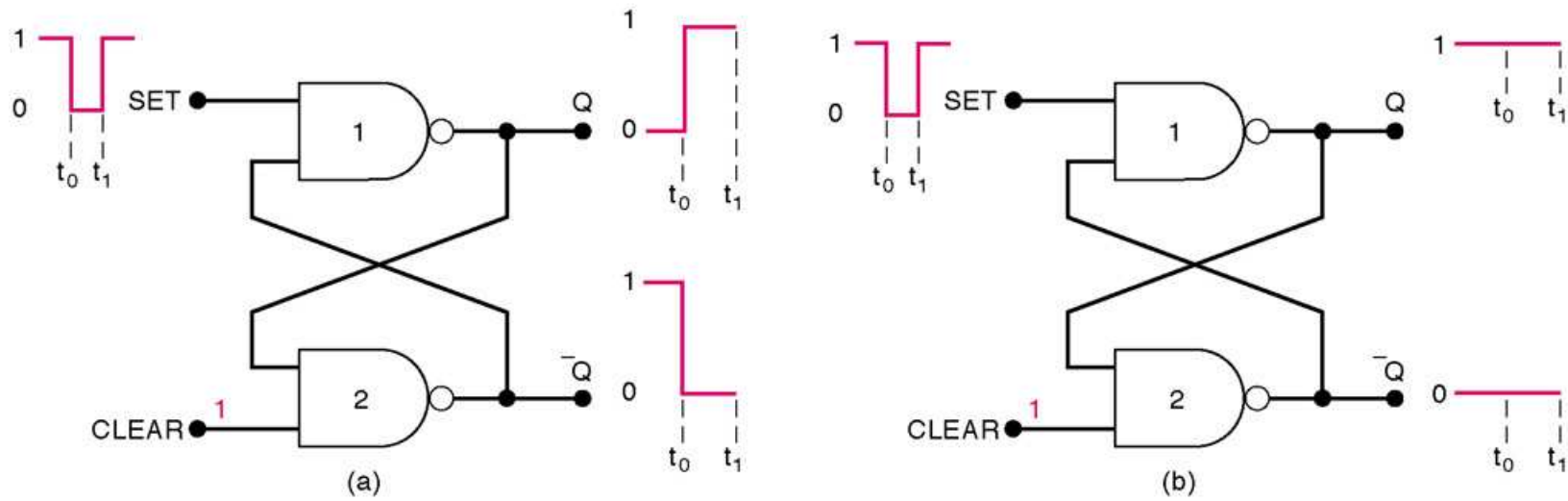


FIGURA 5-5 Pulsando a entrada CLEAR para o estado BAIXO quando (a) $Q=1$ antes do pulso na entrada CLEAR. Em cada caso, a saída Q termina em nível BAIXO.

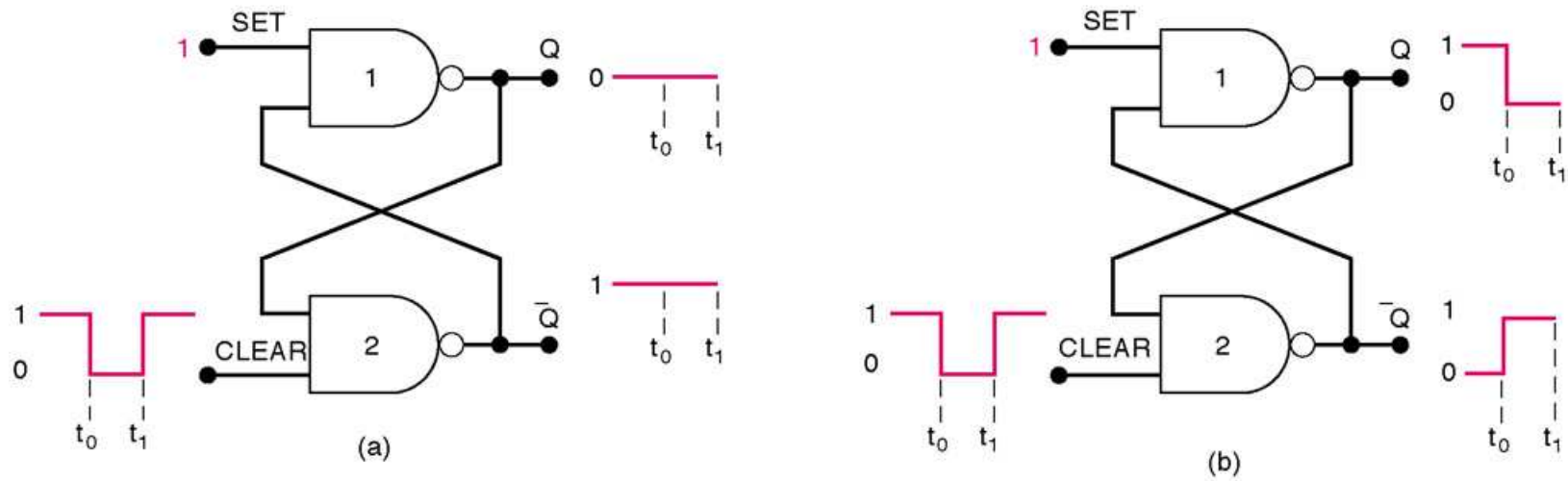
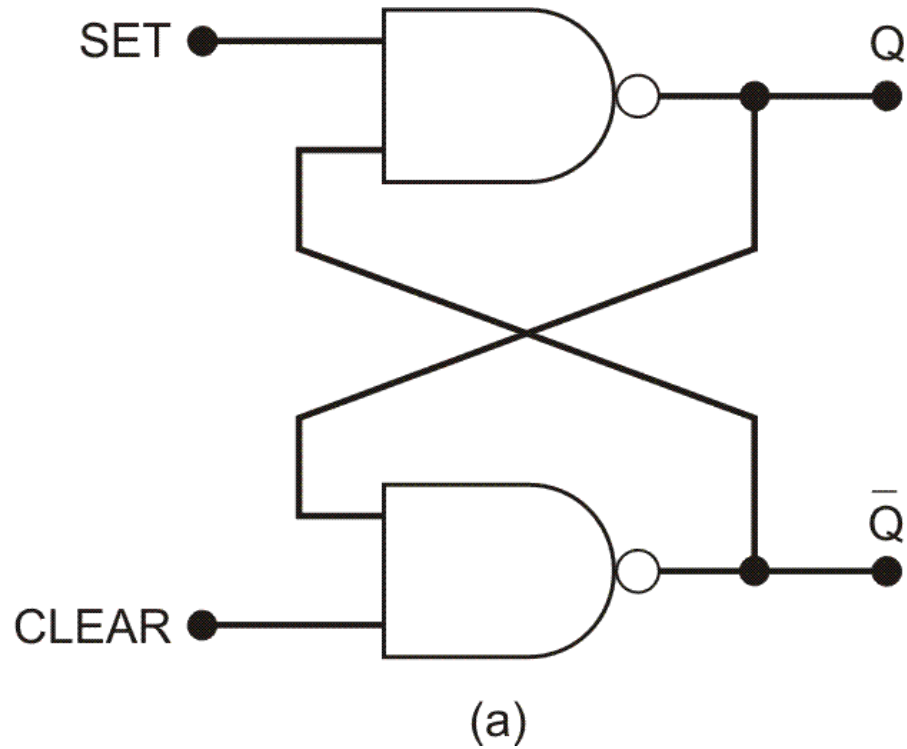


FIGURA 5-6 (a) Latch com portas NAND; (b) Tabela-verdade.



Set	Clear	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

*Produz $Q = \bar{Q} = 1$

(b)

FIGURA 5-7 (a) Representação equivalente de um latch NAND; (b) símbolo simplificado .

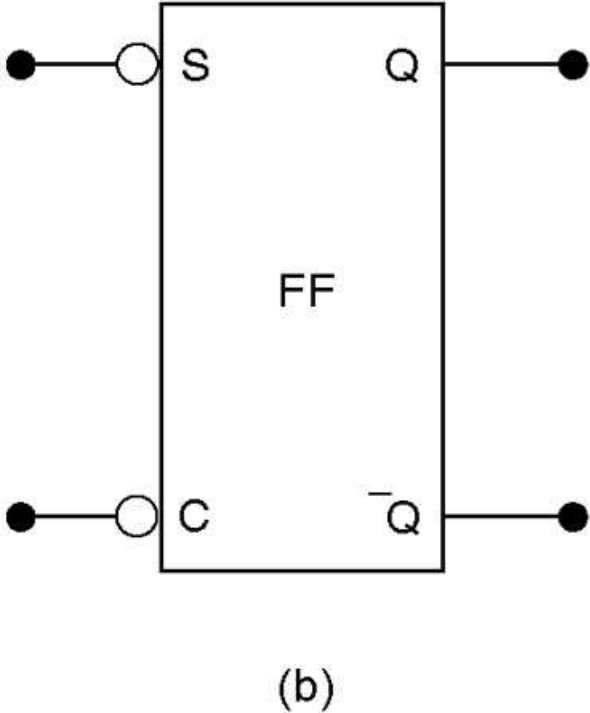
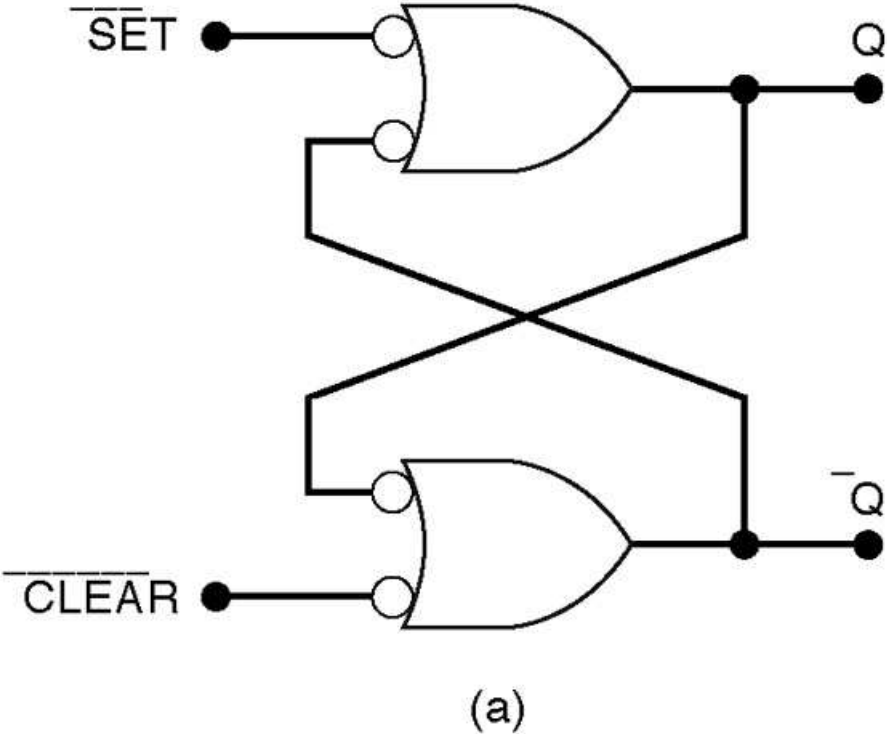


FIGURA 5-8 Exemplo 5-1.

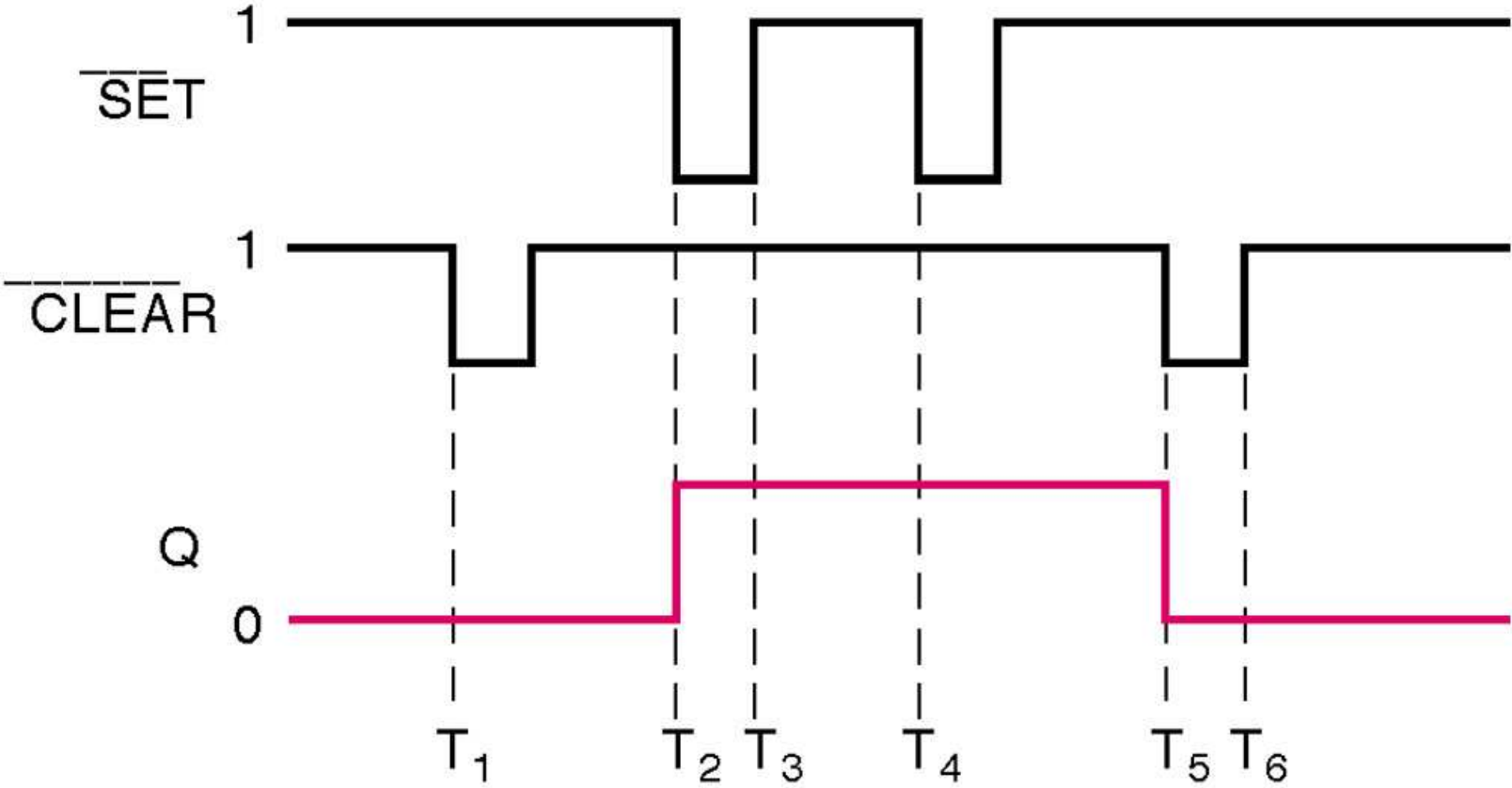


FIGURA 5-9 (a) A trepidação de um contato mecânico gera múltiplas transições na tensão; (b) latch NAND usado para eliminar as múltiplas transições na tensão.

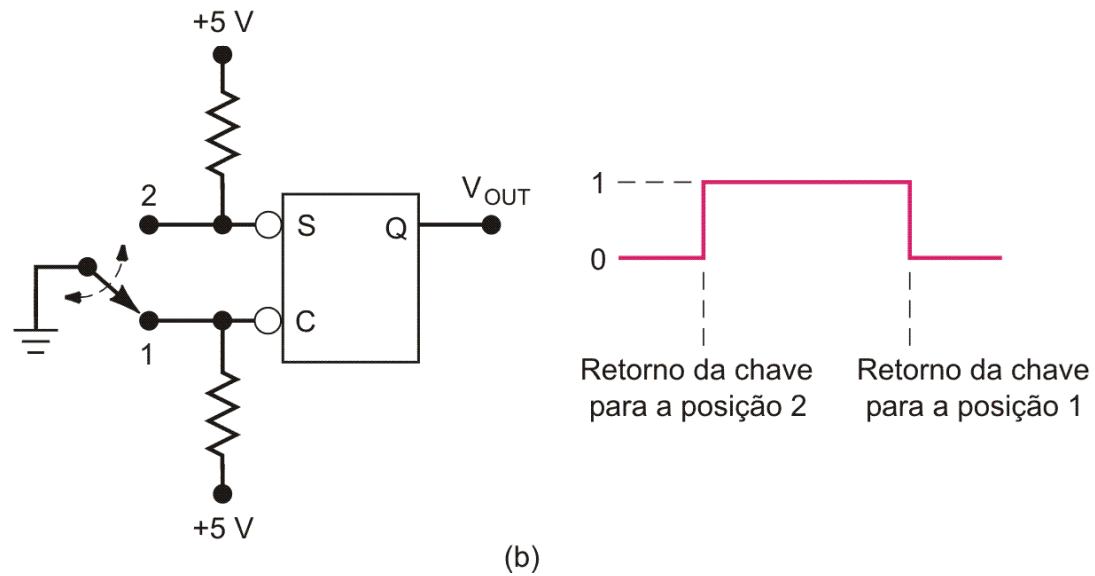
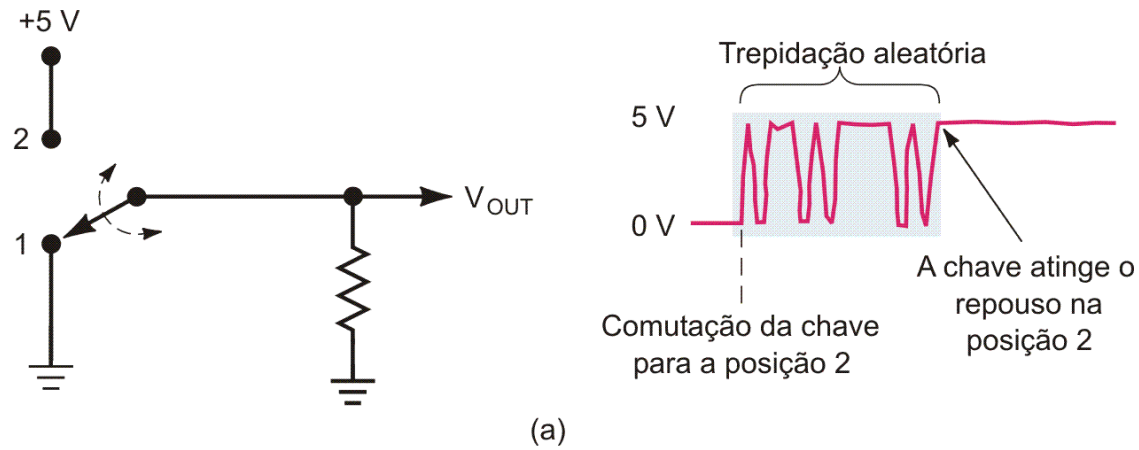
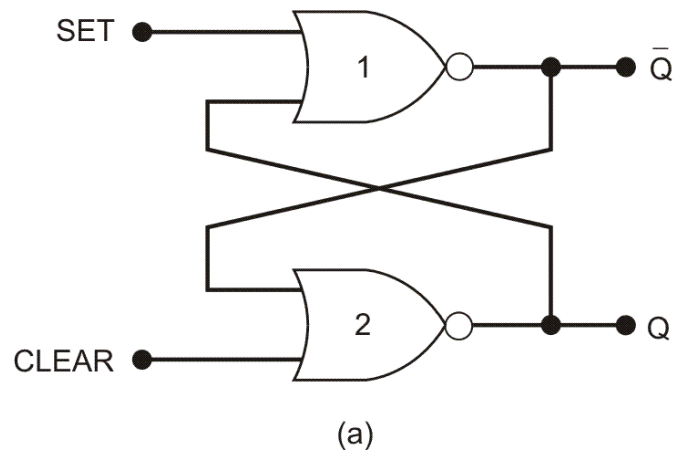


FIGURA 5-10 (a) latch com portas NOR; (b) Tabela-verdade; (c) Símbolo simplificado.



Set	Clear	Saída
0	0	Não muda
1	0	Q = 1
0	1	Q = 0
1	1	Inválida*

*produz $Q = \bar{Q} = 0$

(b)

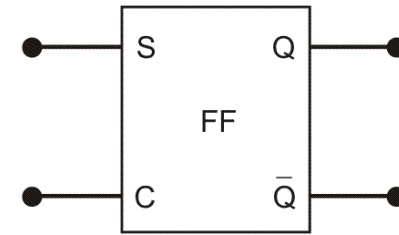


FIGURA 5-11 Exemplo 5-3.

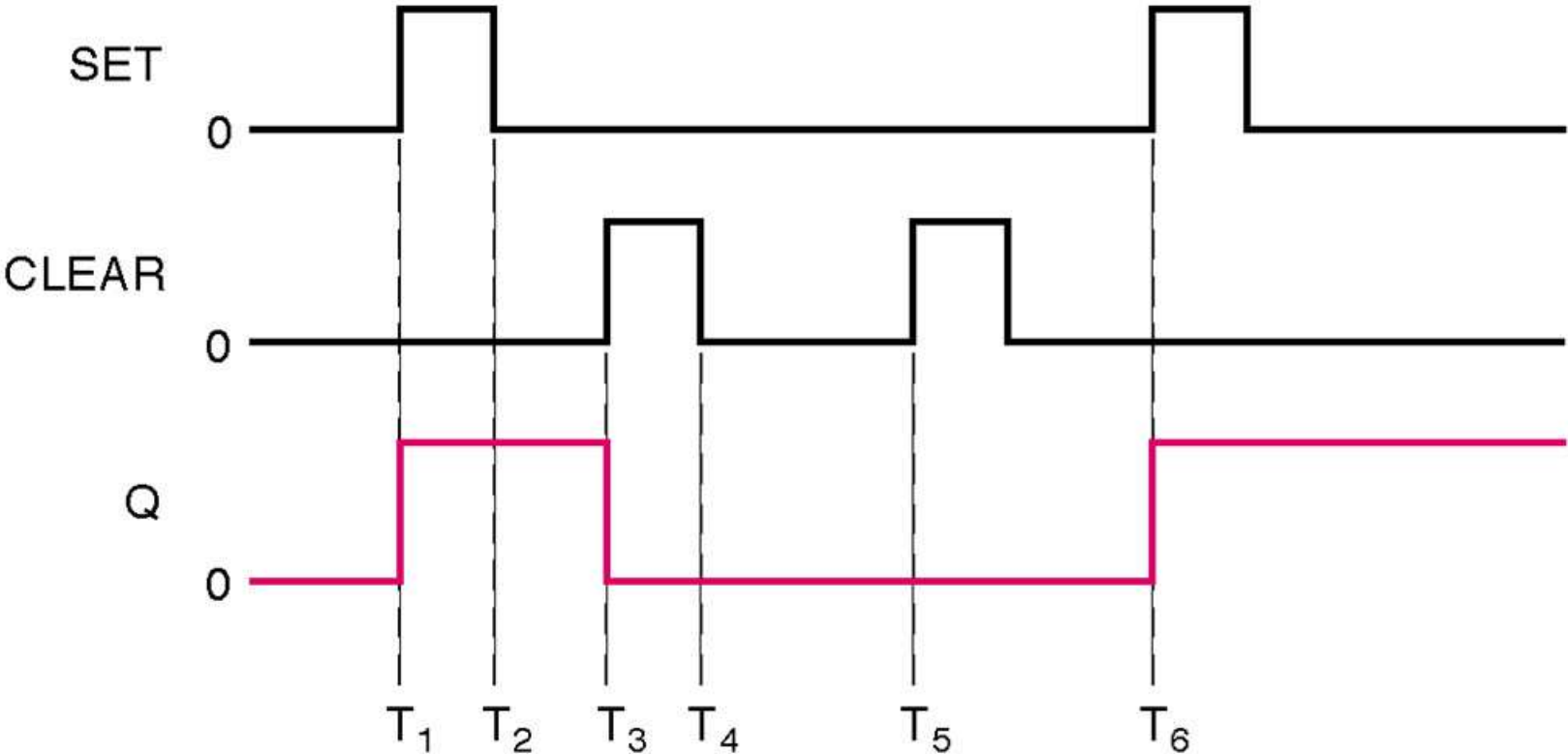


FIGURA 5-12 Exemplo 5-4.

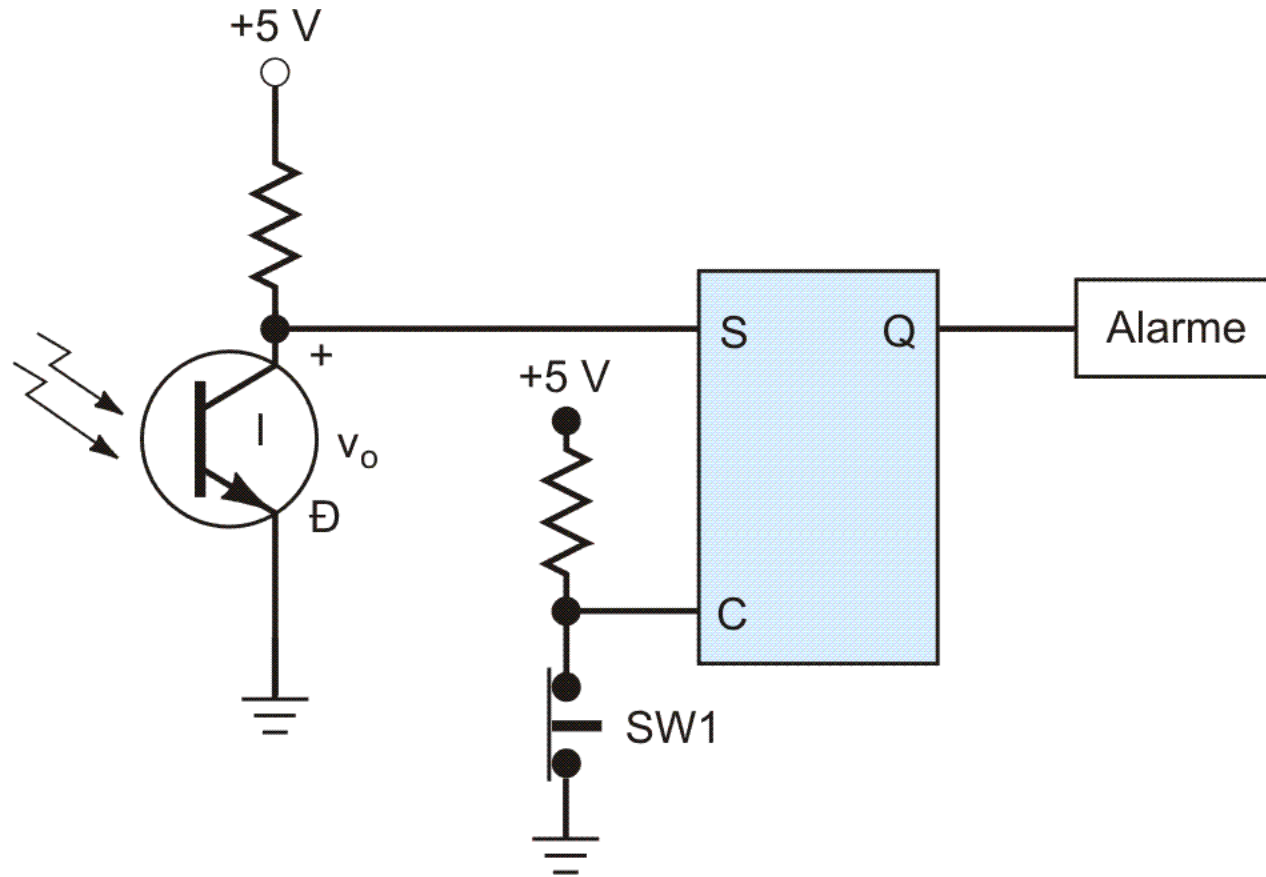


FIGURA 5-13 Examples 5-5 e 5-6.

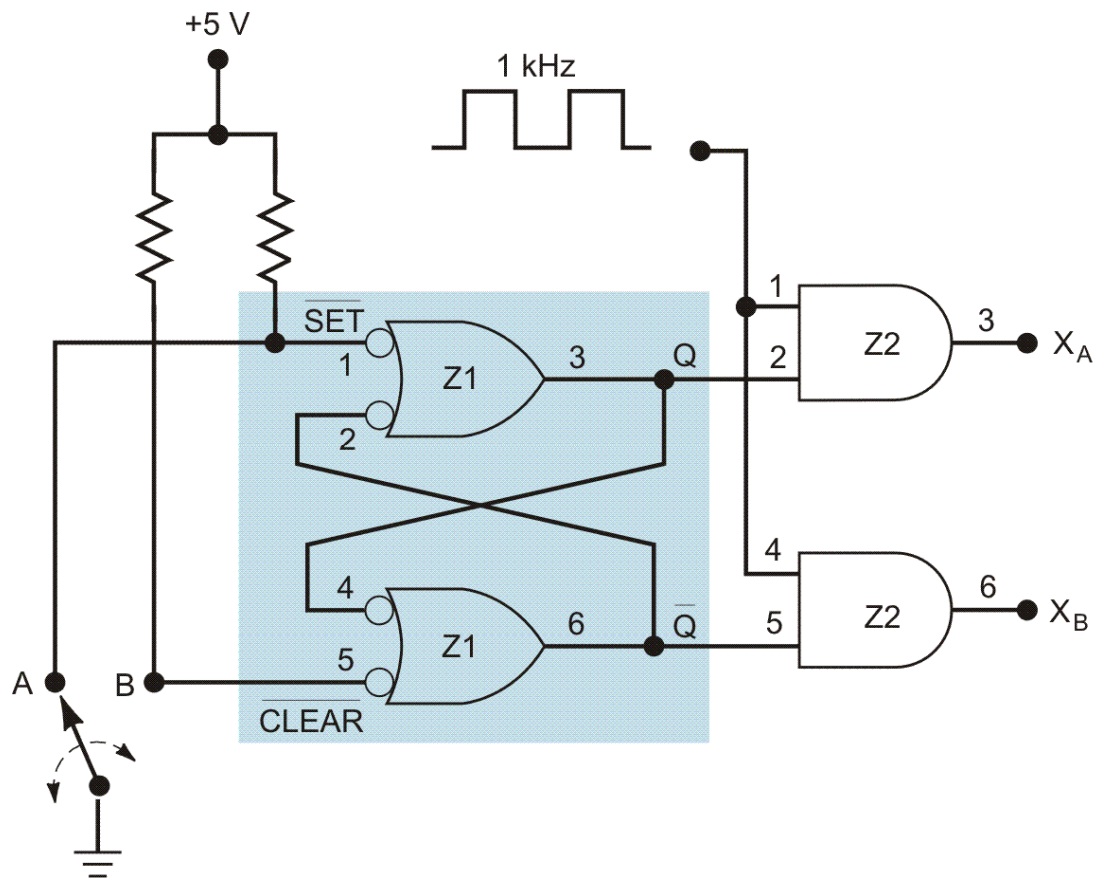


FIGURA 5-14 Sinais de clock.

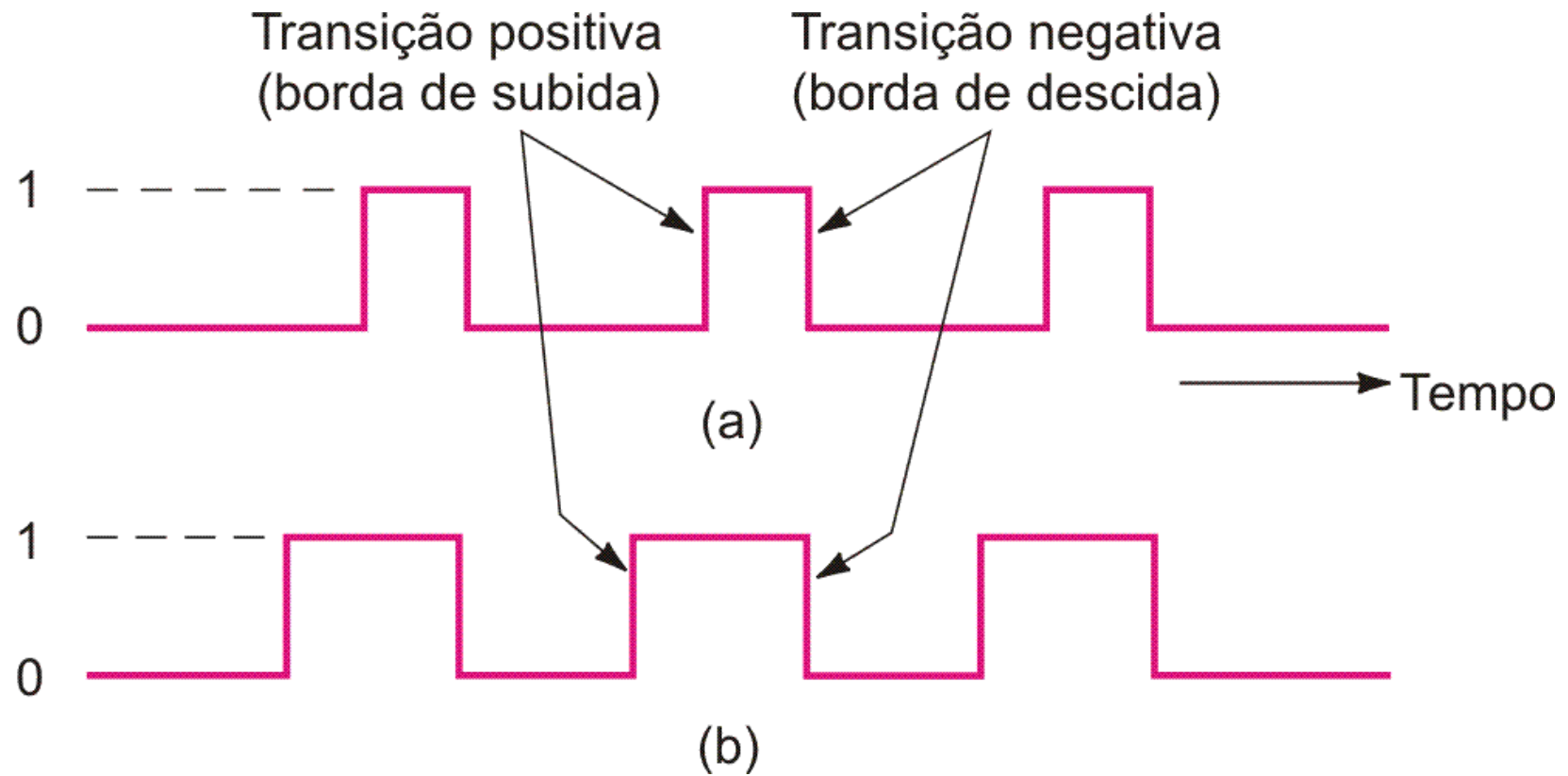


FIGURA 5-15 Flip-flop com clock tem uma entrada de clock (CLK) que pode ser ativada por (a) uma borda de subida ou (b) por uma borda de descida. As entradas de controle determinam o efeito da transição ativa do clock.

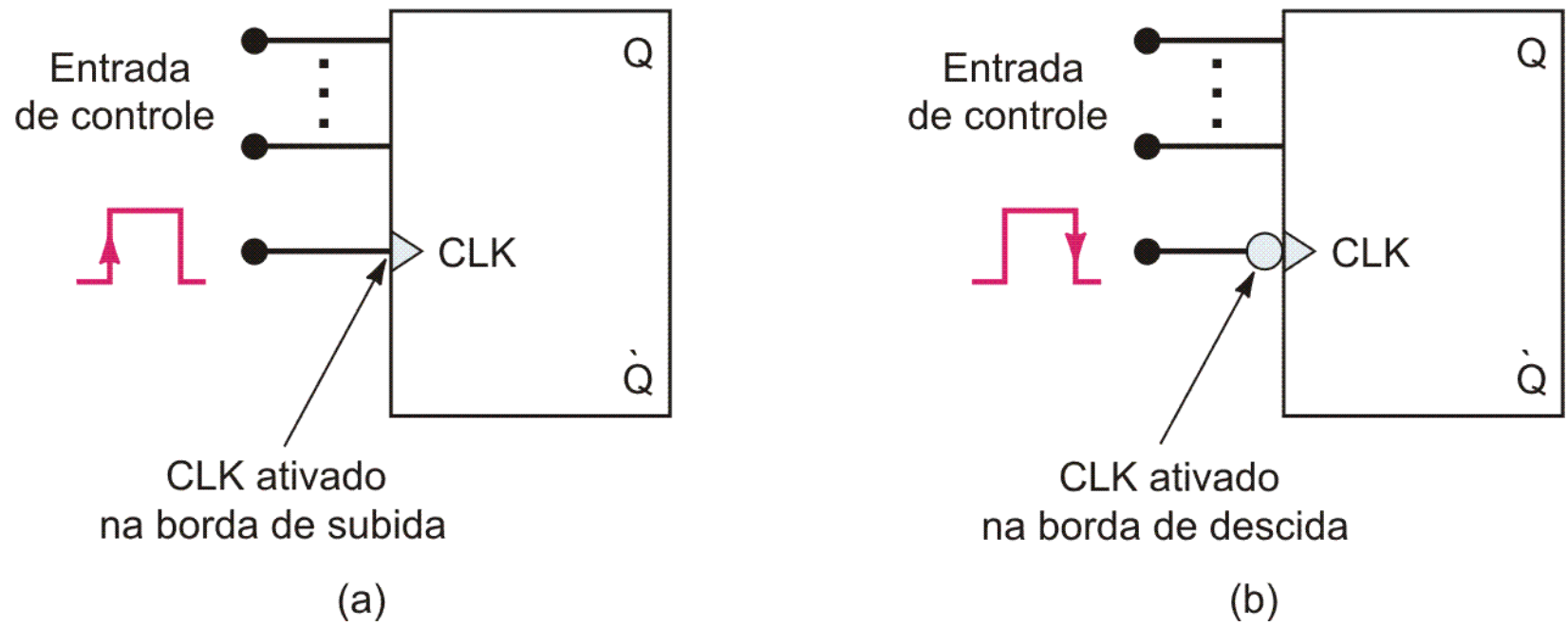


FIGURA 5-16 Entradas de controle tem de ser mantidas estáveis por (a) um tempo t_s antes da transição ativa do clock e por (b) um tempo t_H após a transição ativa do clock.

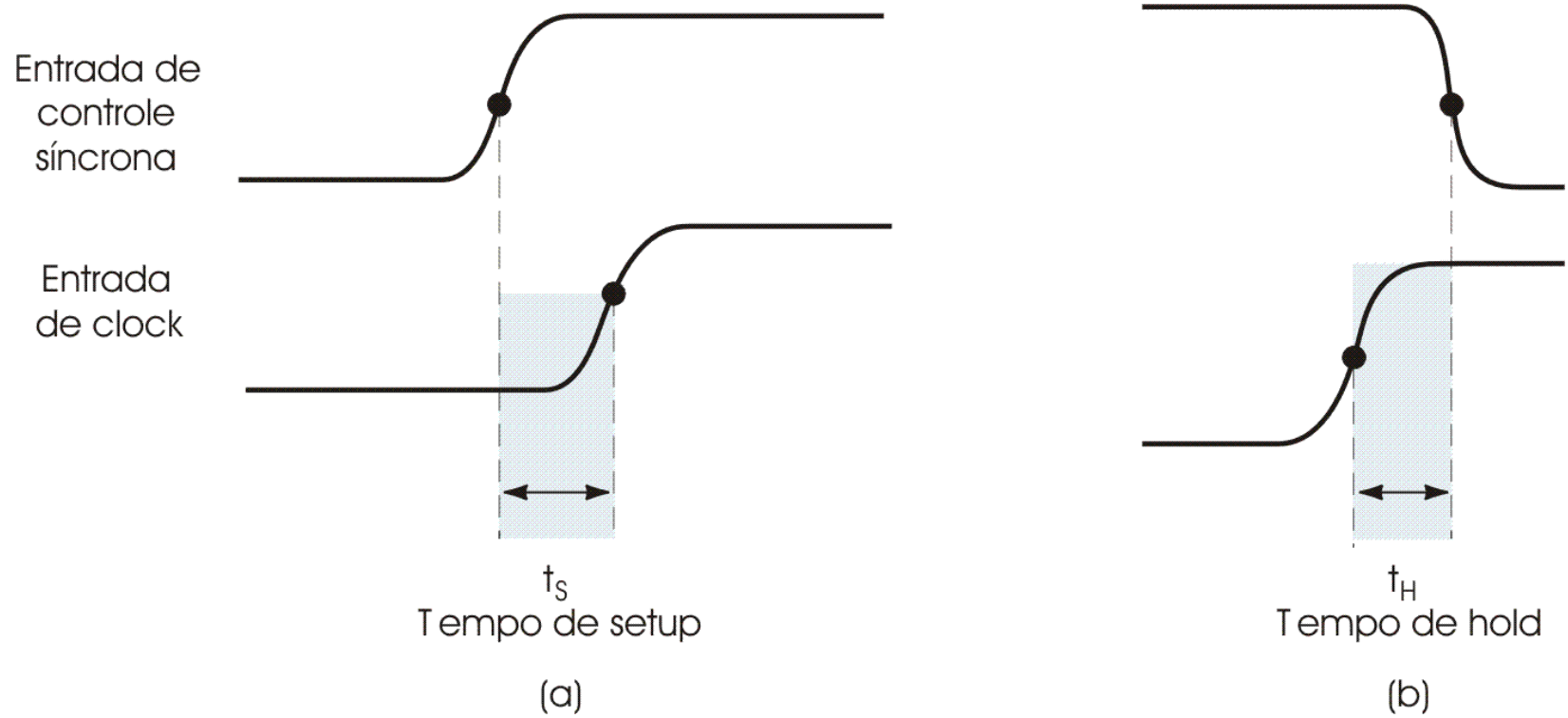


FIGURA 5-17 (a) Flip-flop S-C com clock que responde apenas à borda positiva do pulso de clock; (b) tabela-verdade; (c) forma de ondas típicas.

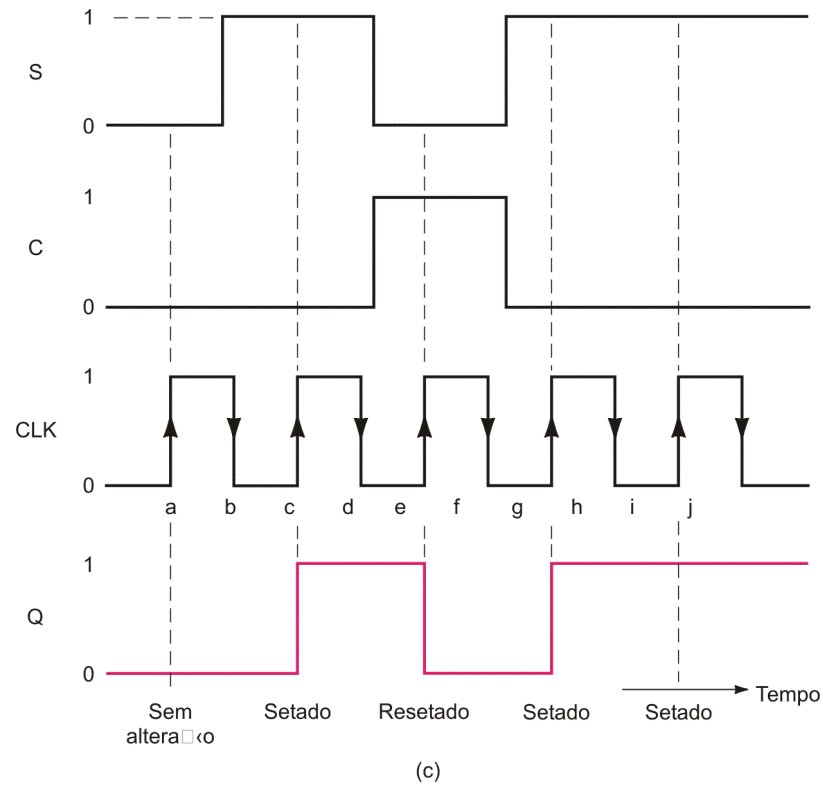
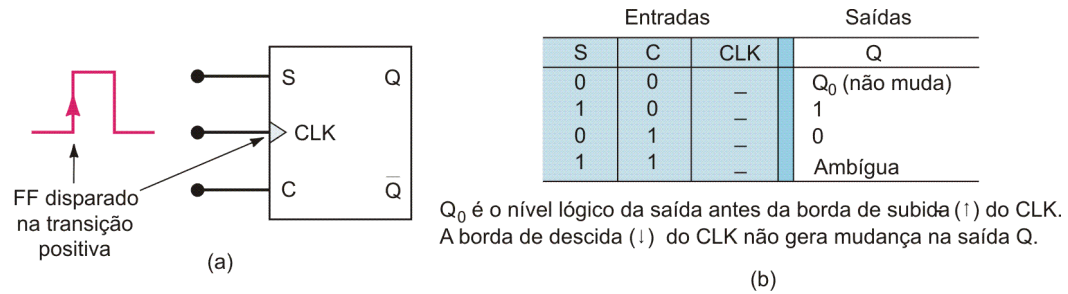
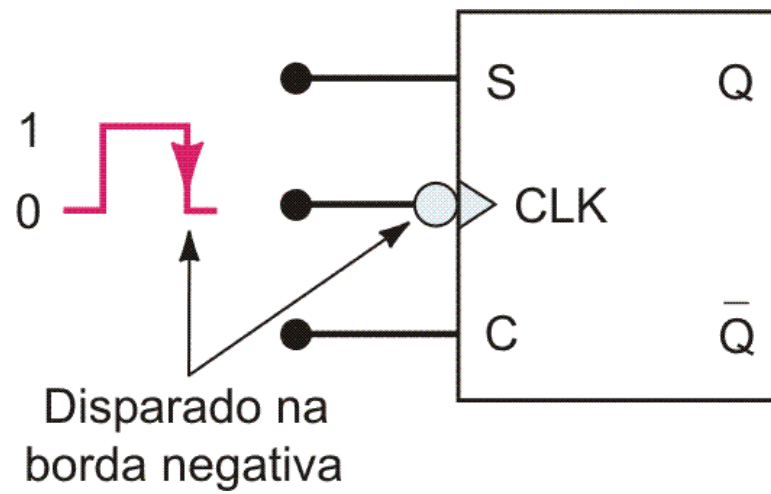


FIGURA 5-18 Flip-flop S-C com clock disparado apenas nas transições negativas do clock.



Entradas			Saídas
S	C	CLK	Q
0	0	—	Q_0 (não muda)
1	0	—	1
0	1	—	0
1	1	—	Ambígua

FIGURA 5-19 Versão simplificada do circuito interno de um flip-flop S-c disparado por borda.

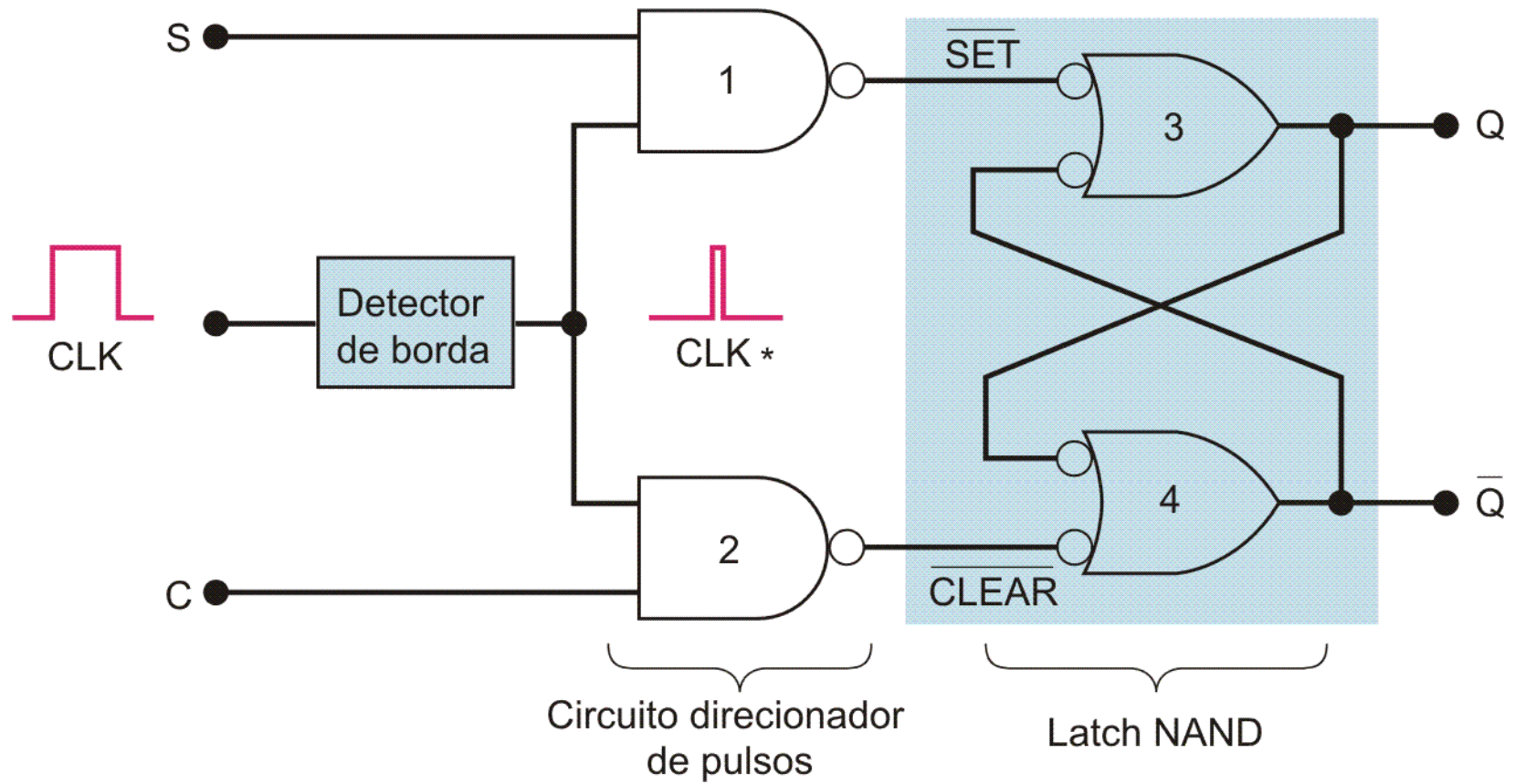


FIGURA 5-20 Implementação de um circuito detector de borda usado em flip-flops disparados por bordas: (a) borda positiva. A duração dos pulsos CLK* é normalmente de 2 a 5 nanossegundos.

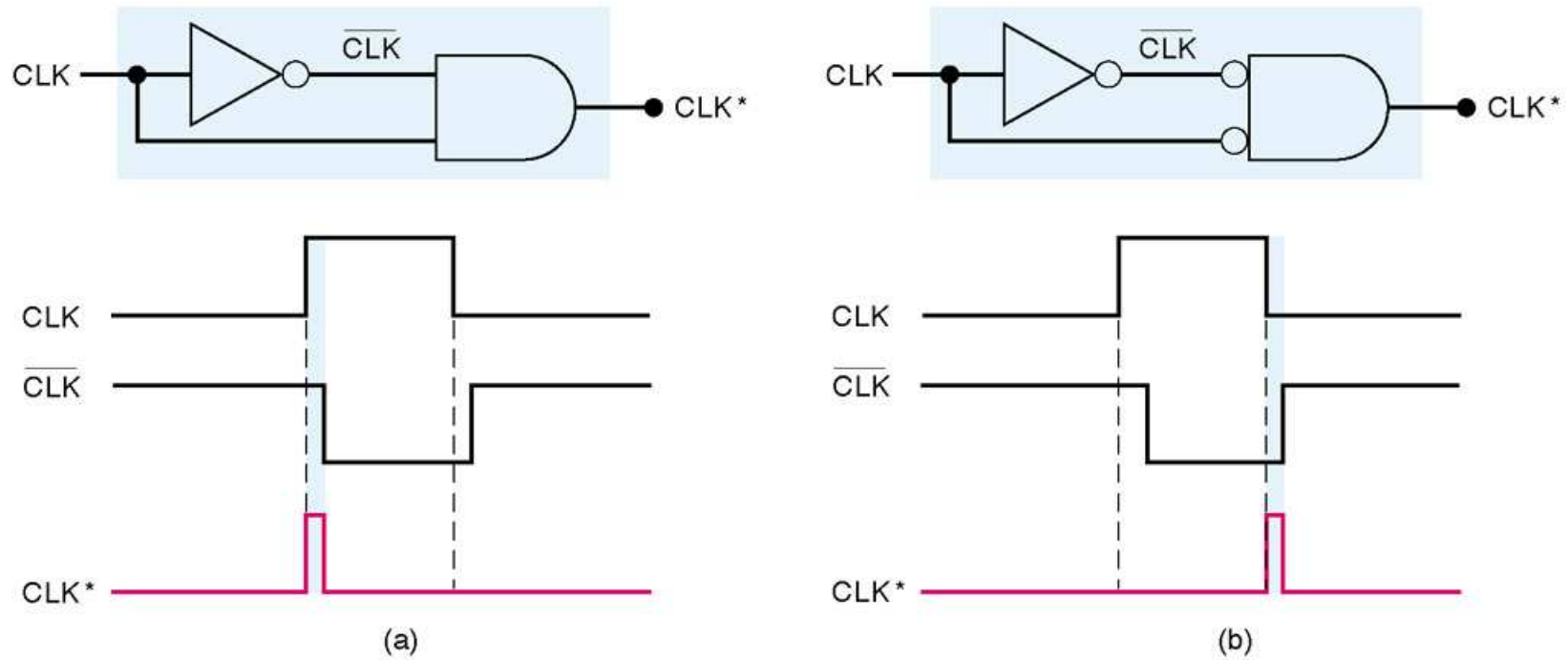


FIGURA 5-21 (a) Flip-flop J-K com clock que responde apenas as bordas positivas do clock.

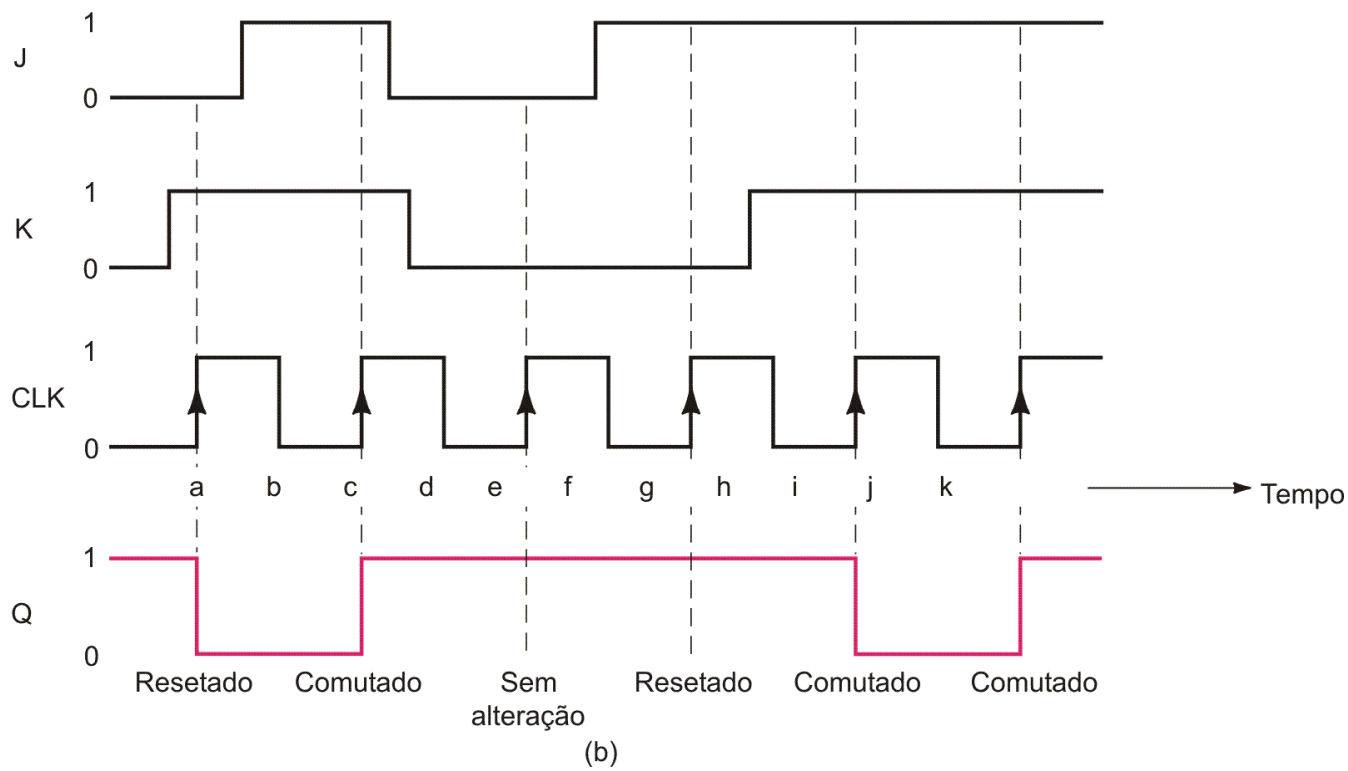
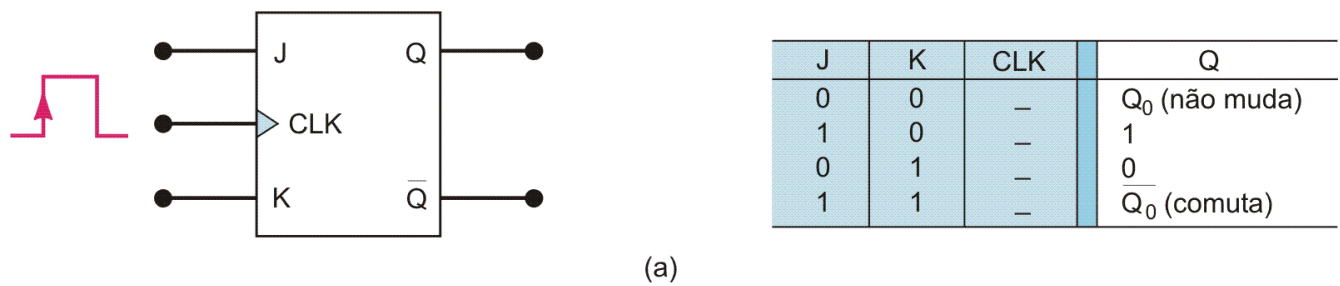
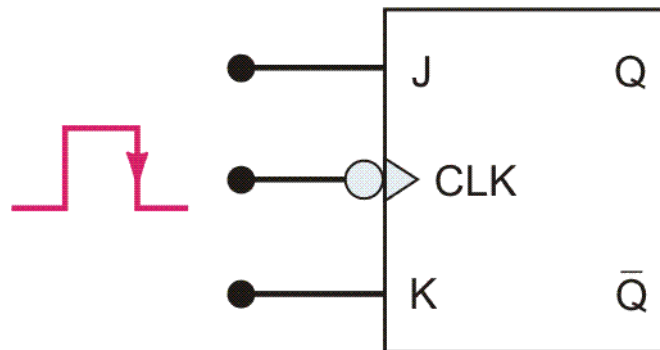


FIGURA 5-22 (a) Flip-flop J-K disparados apenas nas transições negativas do clock.



J	K	CLK	Q
0	0	—	Q_0 (não muda)
1	0	—	1
0	1	—	0
1	1	—	\bar{Q}_0 (comuta)

FIGURA 5-23 Circuito interno de flip-flop J-K disparado por berda.

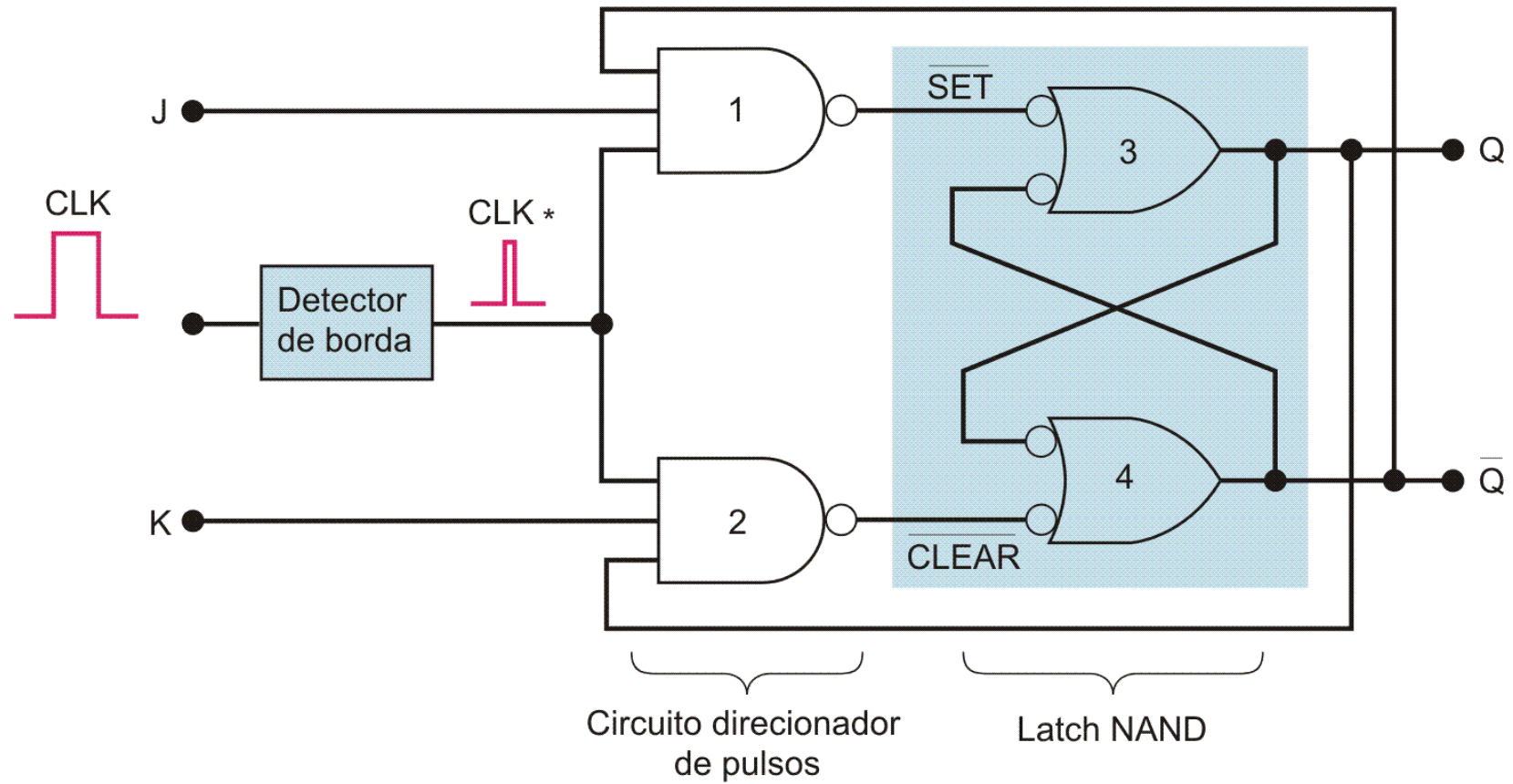


FIGURA 5-24 (a) flip-flop D disparados apenas nas transições positivas do clock ; (b) Formas de onda.

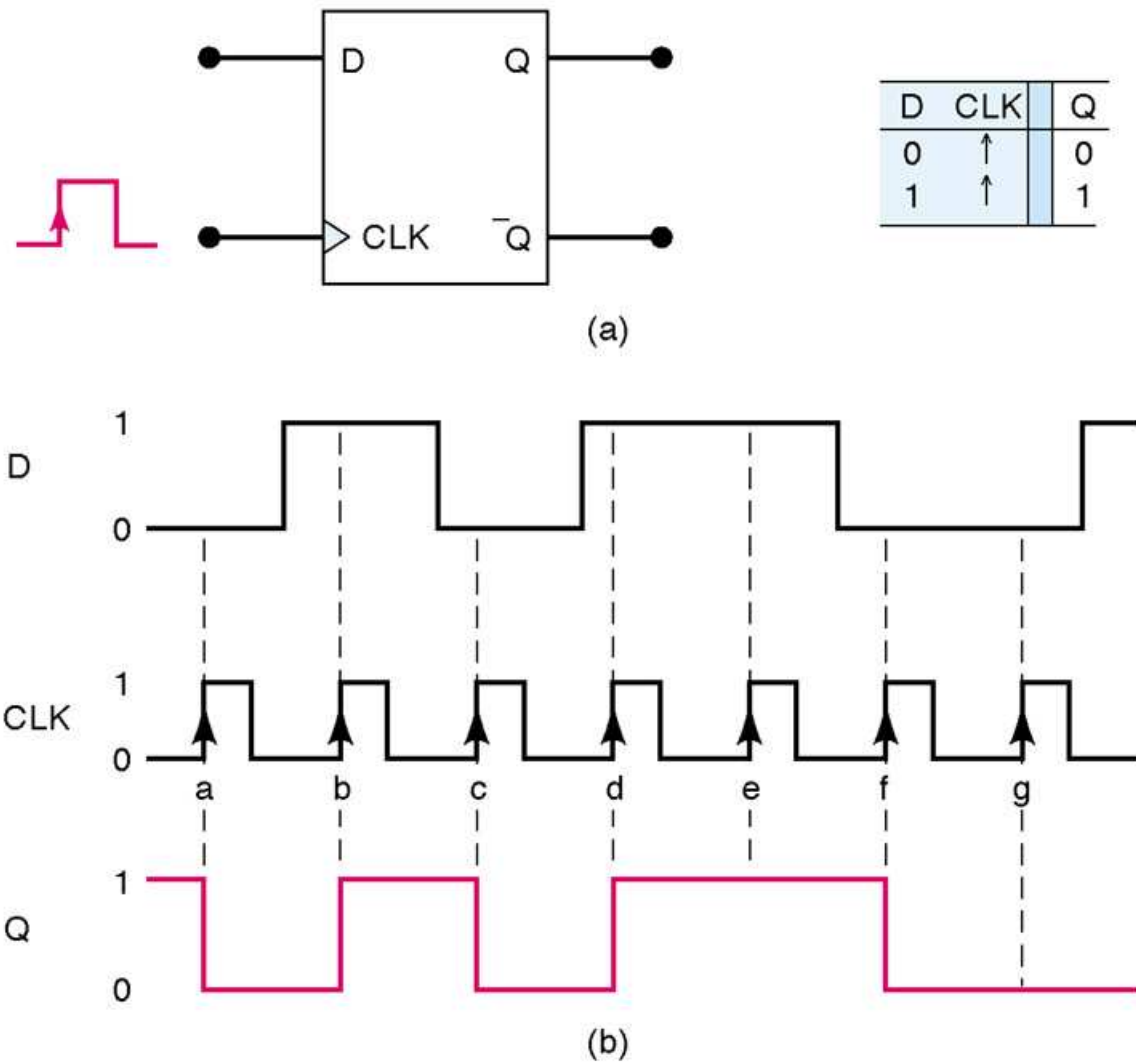


FIGURA 5-25 Implementação de um flip-flop D disparado por borda a partir de um flip-flop J-K.

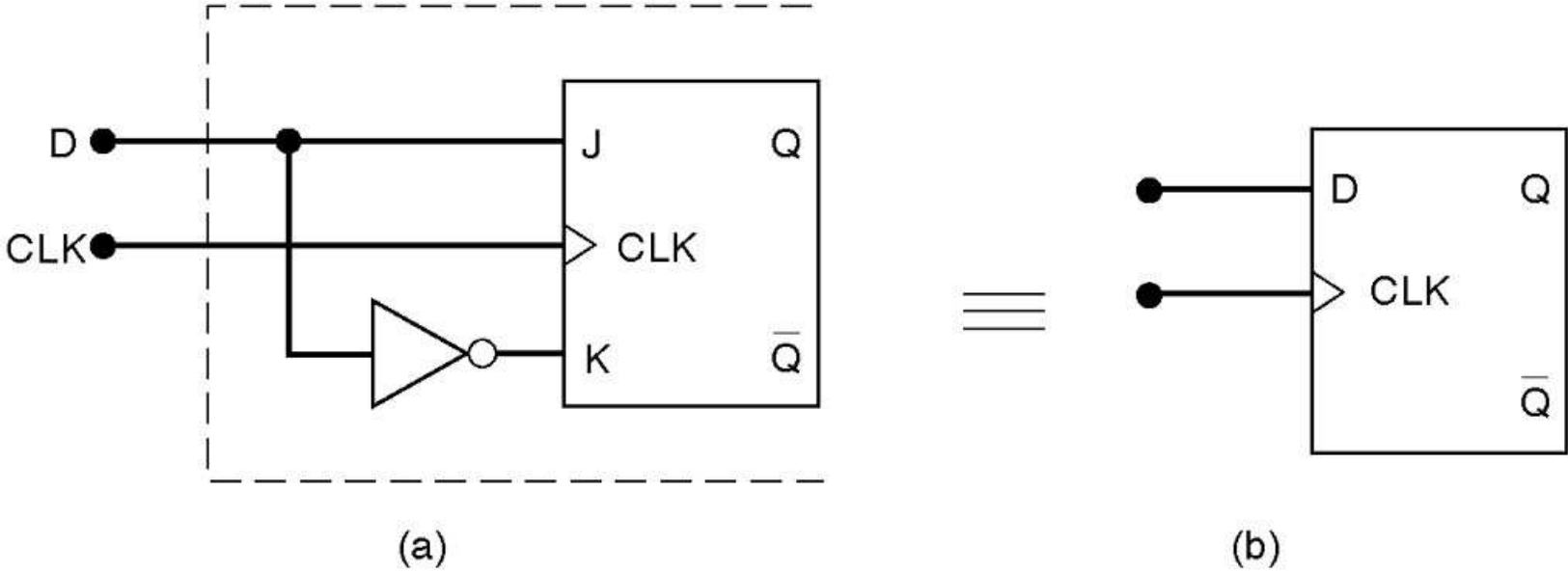
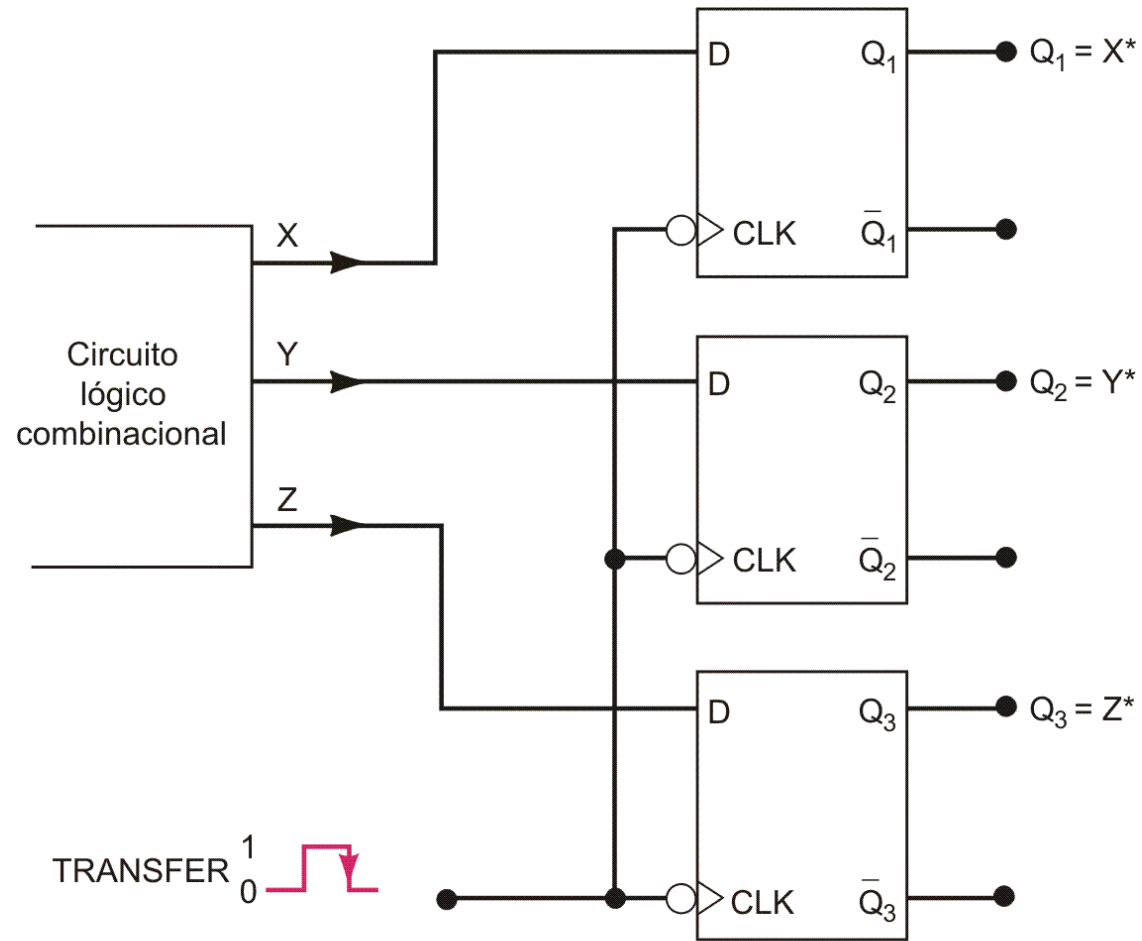
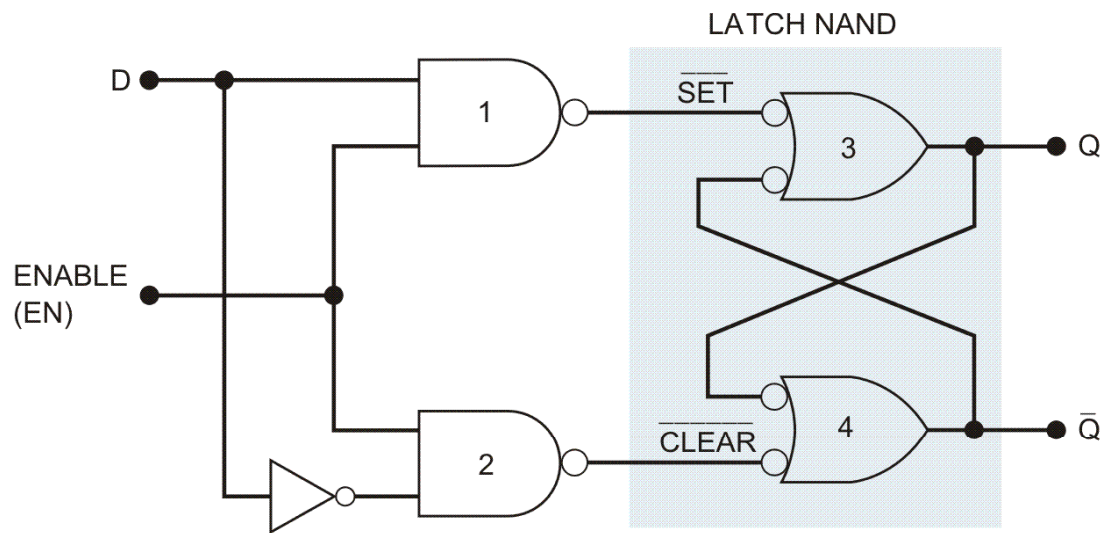


FIGURA 5-26 Transferência de dados em paralelo usando flip-flops D.



*Após a ocorrência da borda de descida.

FIGURA 5-27 latch D; (a) estrutura; (b) Tabela-verdade; (c) Símbolo lógico.

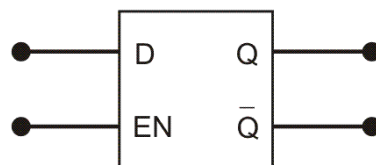


(a)

Entradas		Saída
EN	D	Q
0	X	Q ₀ (não muda)
1	0	0
1	1	1

"X" indica a condição 'don't care'
 Q₀ é o estado de Q imediatamente antes de EN ir para o nível BAIXO

(b)



(c)

FIGURA 5-28 Formas de onda para o exemplo 5-7 mostrando os dois modos de operação de um latch D transparente.

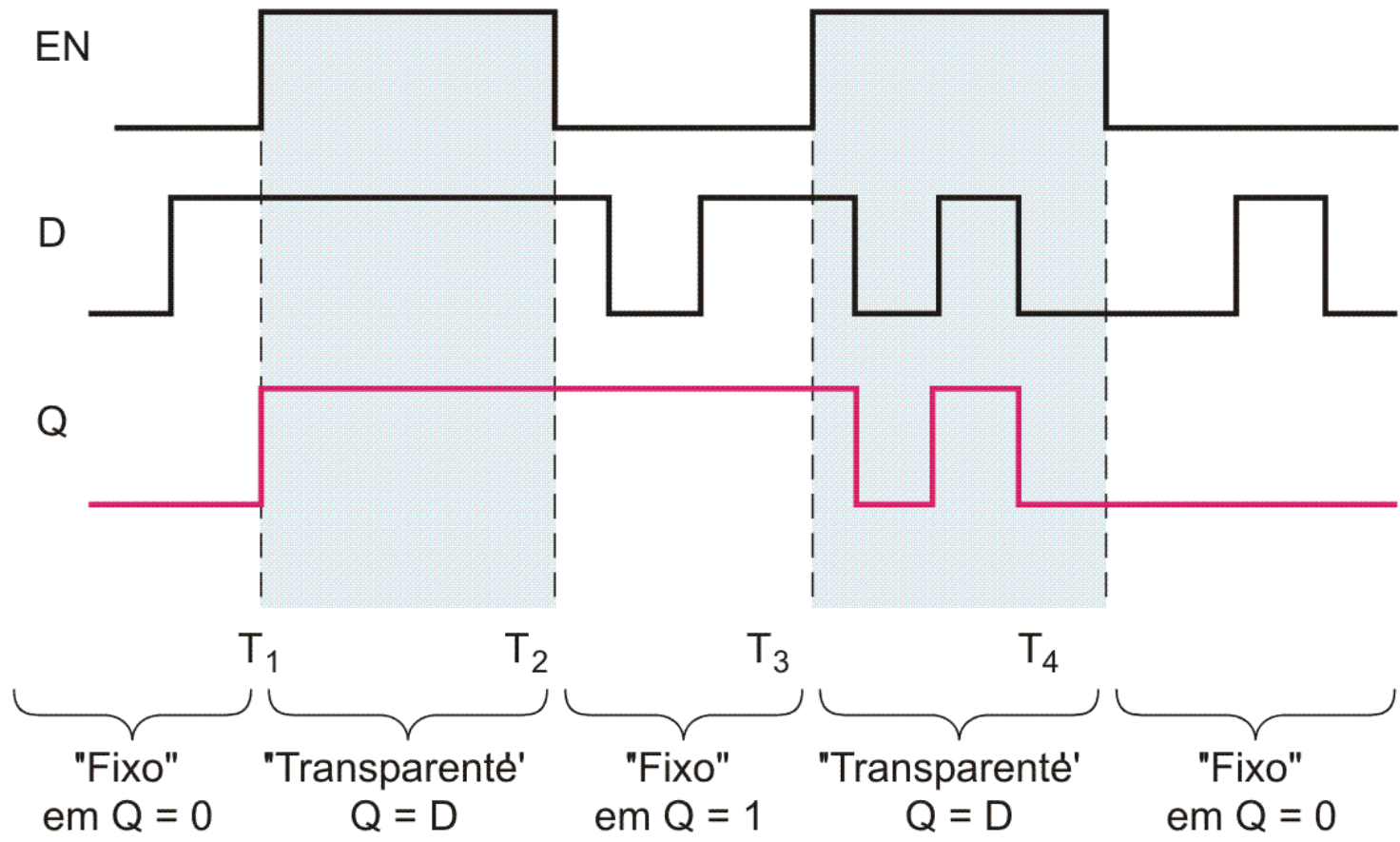
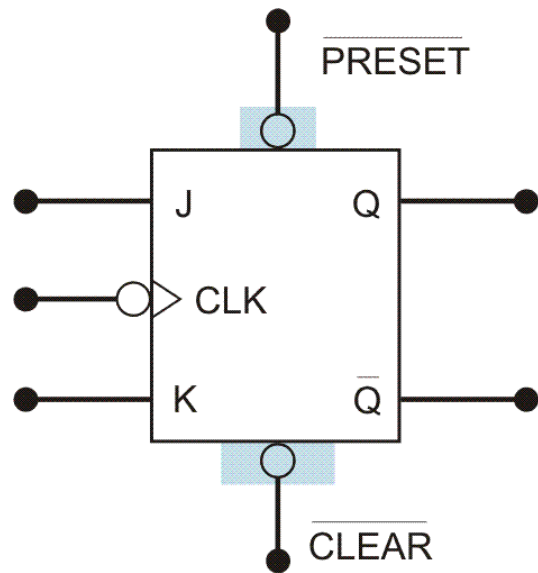


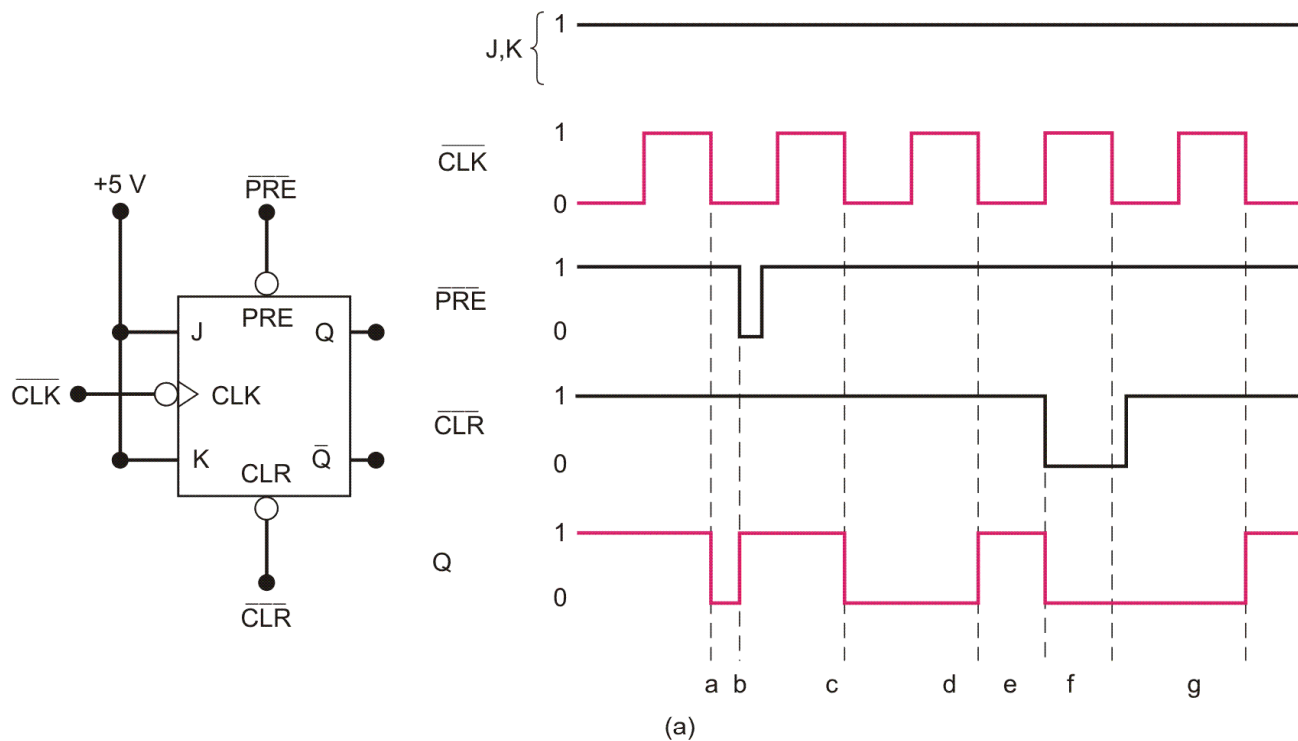
FIGURA 5-29 Flip-flop J-K com clock e entradas assíncronas.



PRESET	CLEAR	Resposta do FF
1	1	Operação com clock*
0	1	Q = 1 (independente do CLK)
1	0	Q = 0 (independente do CLK)
0	0	Não usada

*Q responderá a JK e CLK

FIGURA 5-30 Formas de ondas para o exemplo 5-9 mostrando como um flip-flop com clock responde às entradas assíncronas.



Ponto	Operação
a	Comutação sincronizada na borda de descida de CLK
b	Q é assincronamente colocada em 1 quando $\overline{PRE} = 0$
c	Comutação síncrona
d	Comutação síncrona
e	Q é assincronamente colocada em 0 quando $\overline{CLR} = 0$
f	\overline{CLR} se sobrepõe à borda de descida de CLK
g	Comutação síncrona

(b)

FIGURA 5-31 Símbolos IEEE/ANSI para (a) um único flip-flop *J-K* disparado por borda e (b) um CI comercial (74LS112 que é um duplo flip-flop *J-K* disparado por borda negativa).

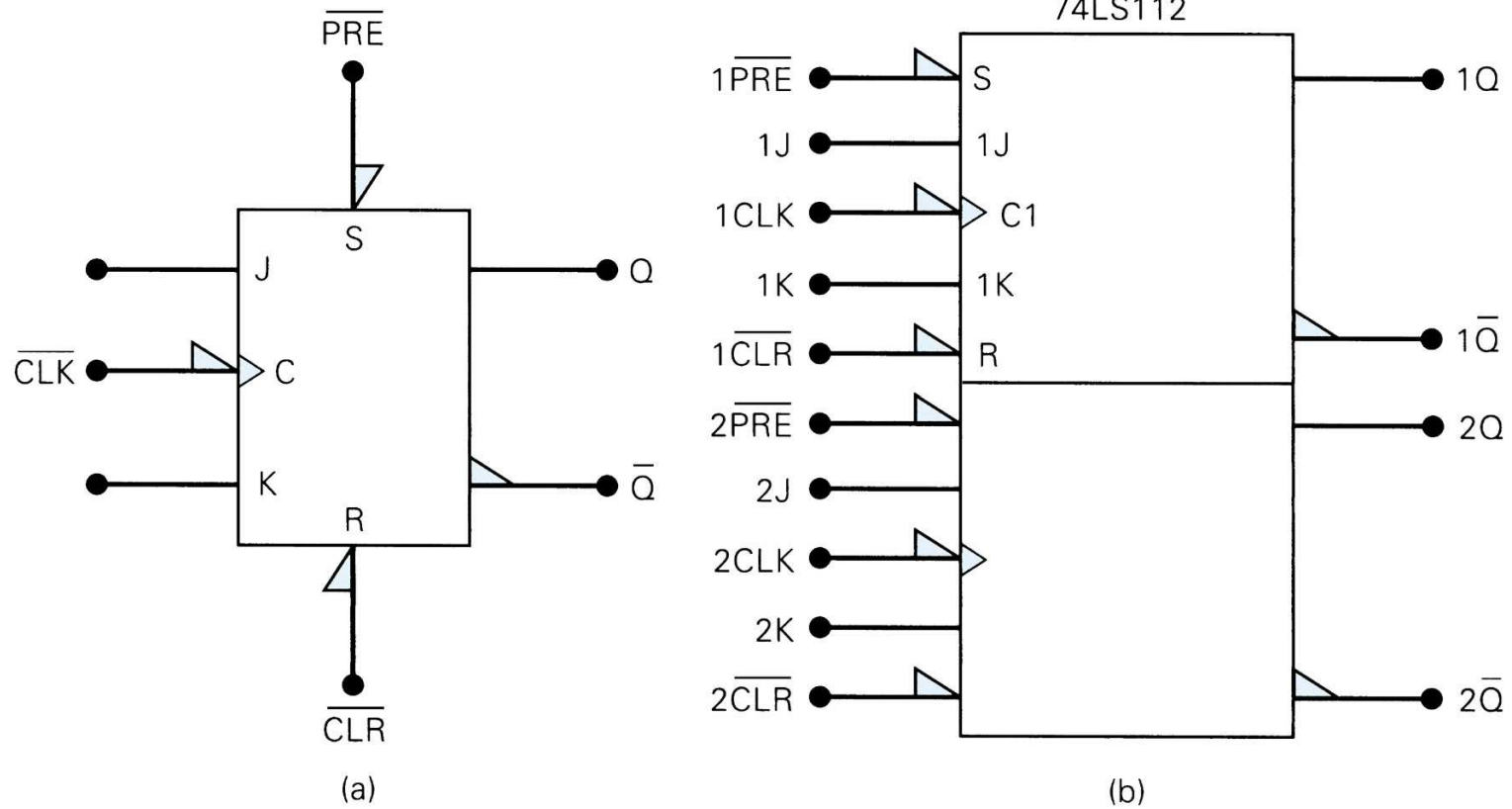


FIGURA 5-32 Símbolos IEEE/ANSI para (a) um único flip-flop D disparado por borda e (b) um CI comercial (74HC175 que é um CI quádruplo de flip-flops com clock e clear comuns).

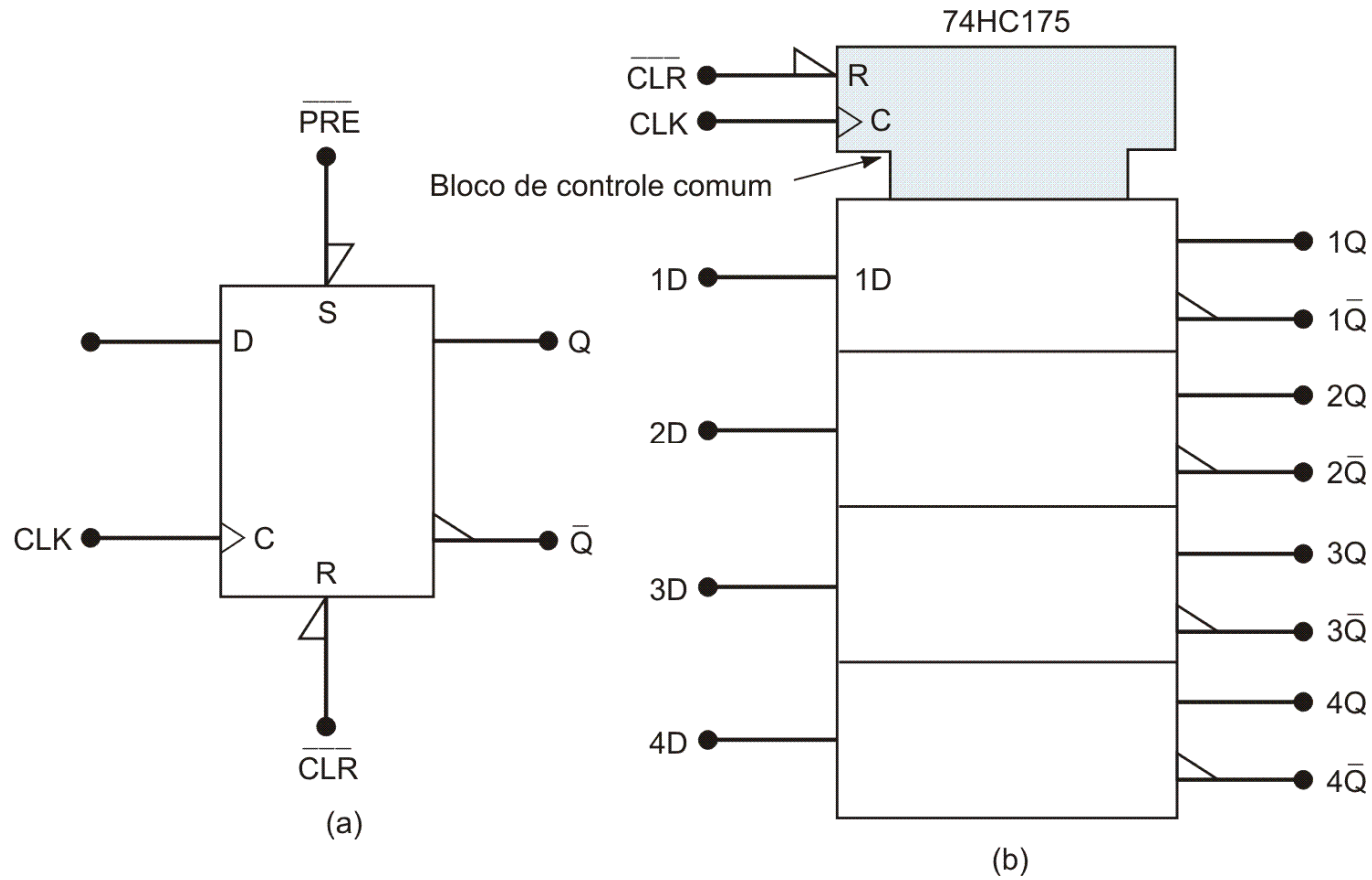


FIGURA 5-33 Atrasos de propagação nos FFs.

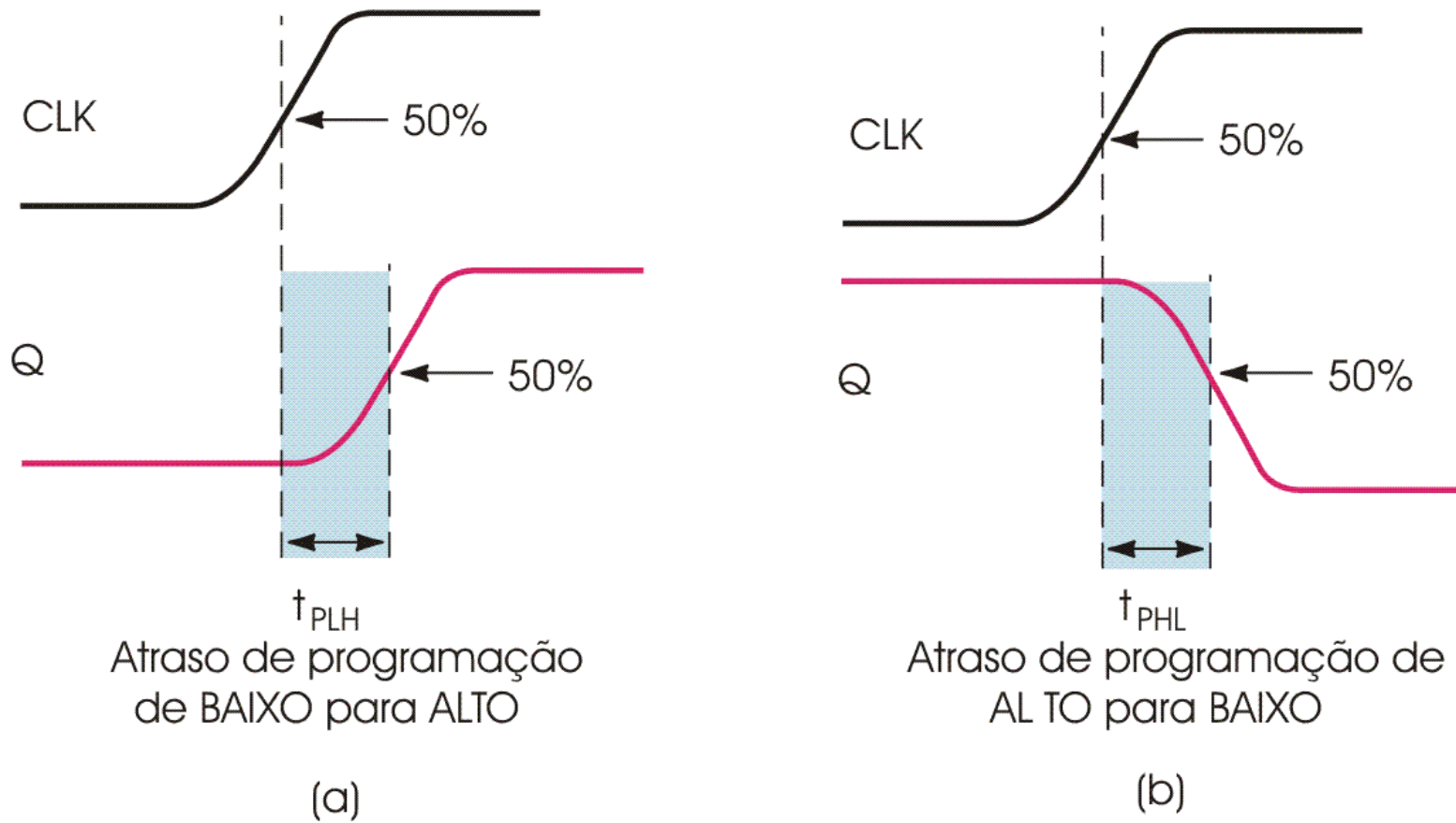


FIGURA 5-34 (a) Tempos de duração do clock em nível BAIXO e em nível ALTO; (b) Largura do pulso assíncrono.

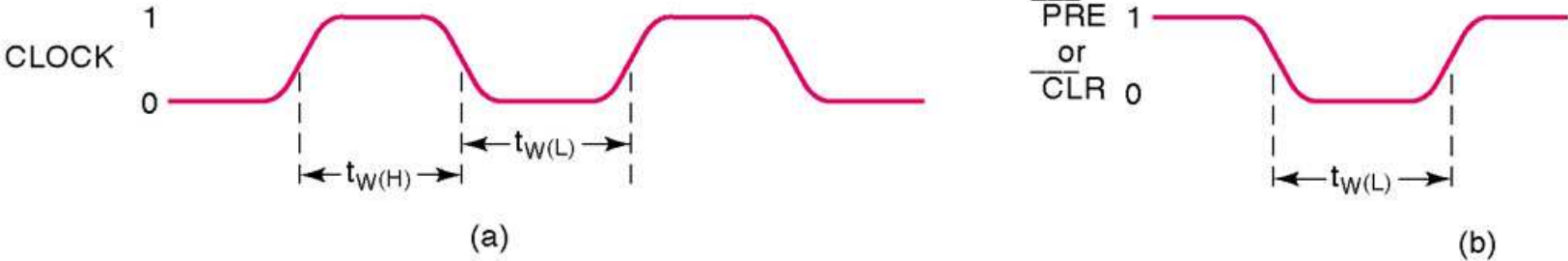


FIGURA 5-35 Q_2 responderá adequadamente ao nível lógico presente em Q_1 antes da borda de descida de CLK , desde que o tempo de hold de Q_2 , t_H , seja menor que o atraso de propagação de Q_1 .

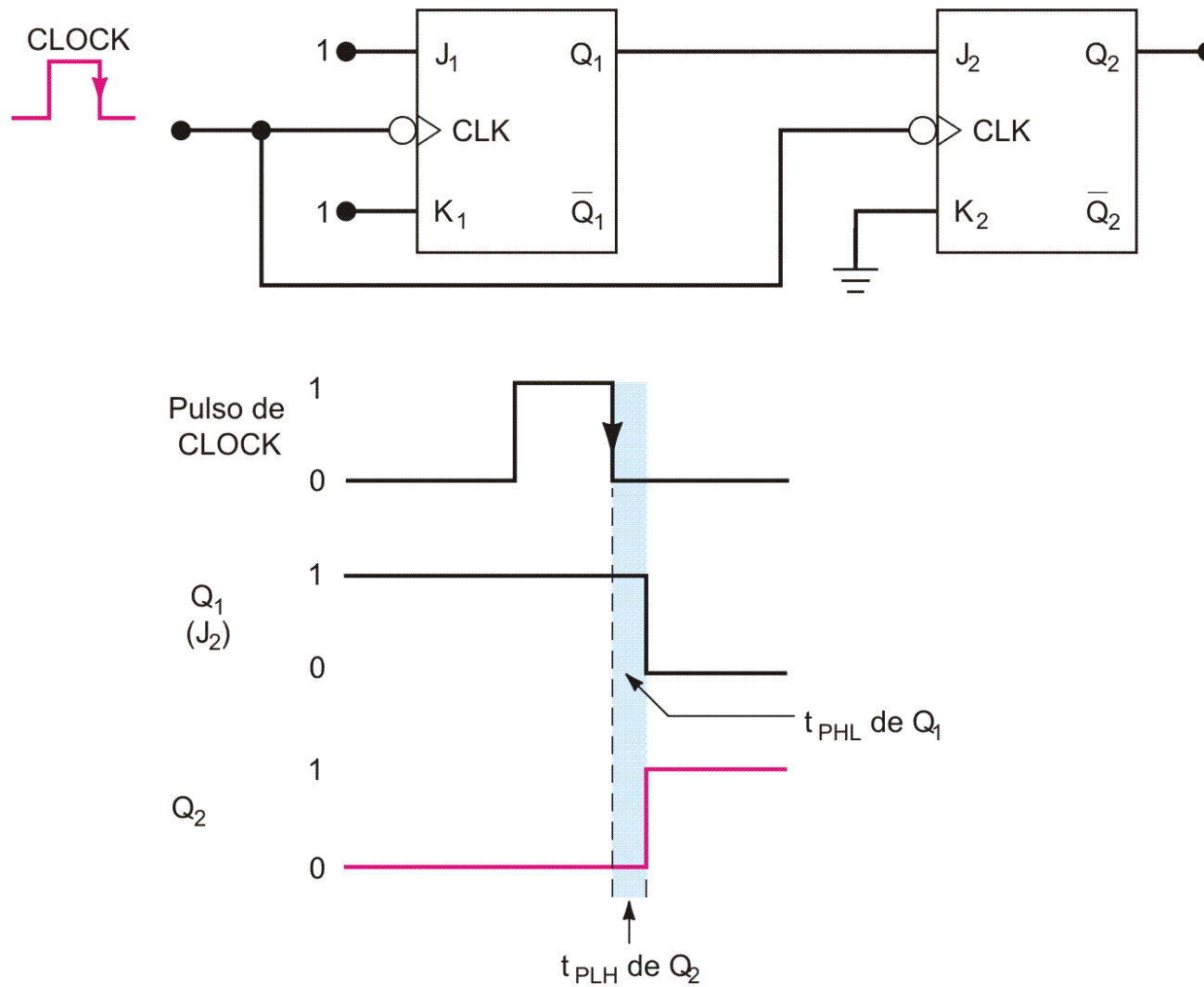


FIGURA 5-36 Exemplo 5-10.

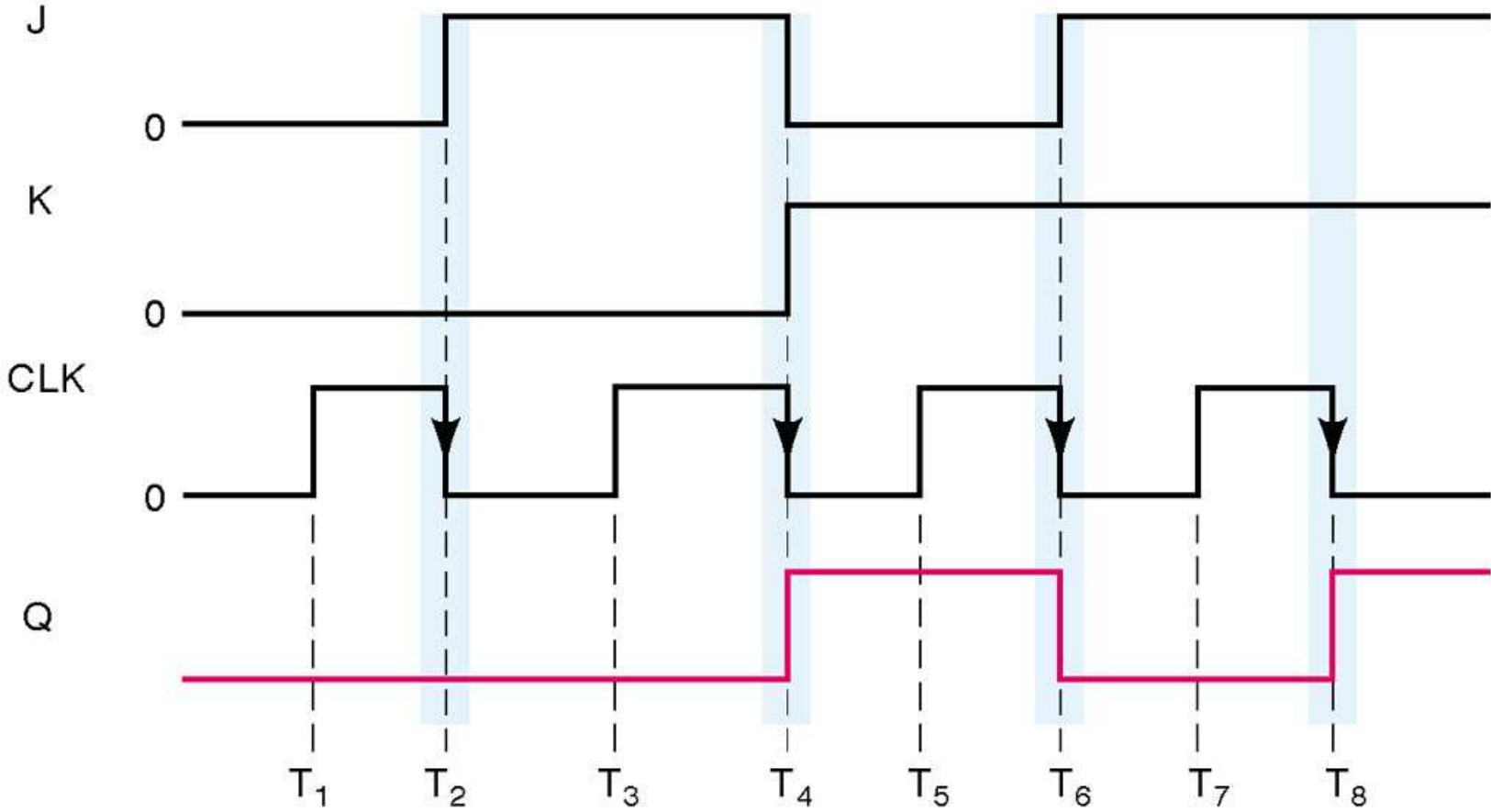


FIGURA 5-37 Um sinal assíncrono em A pode produzir pulsos parciais em X.

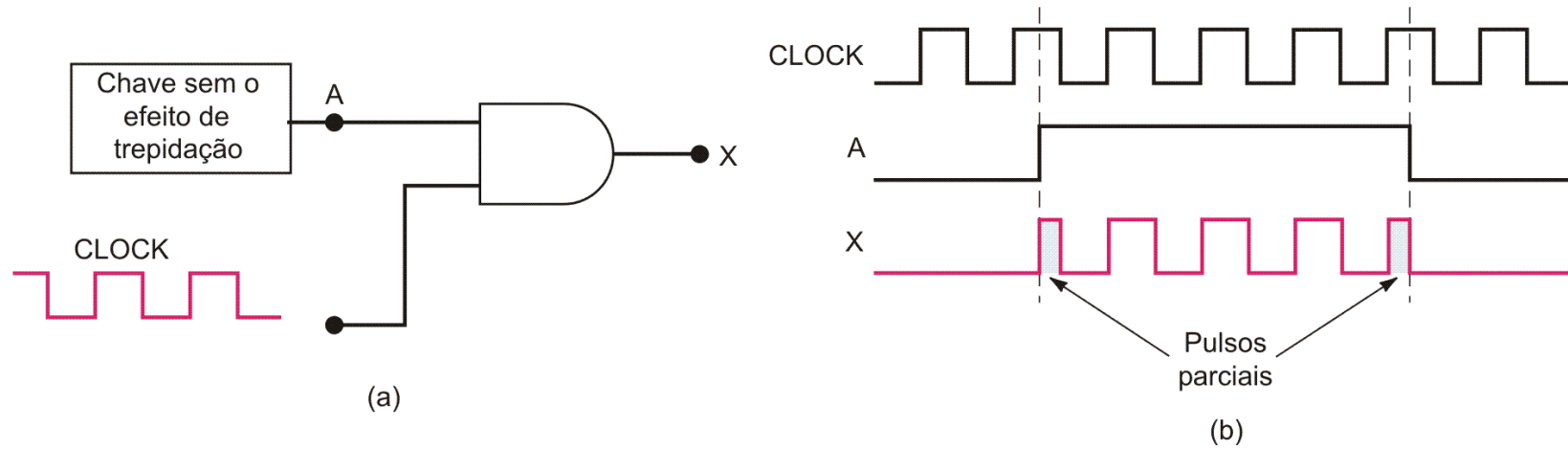


FIGURA 5-38 Um *flip-flop* D disparado por bordas é usado para sincronizar a habilitação da porta AND com a borda de descida do clock.

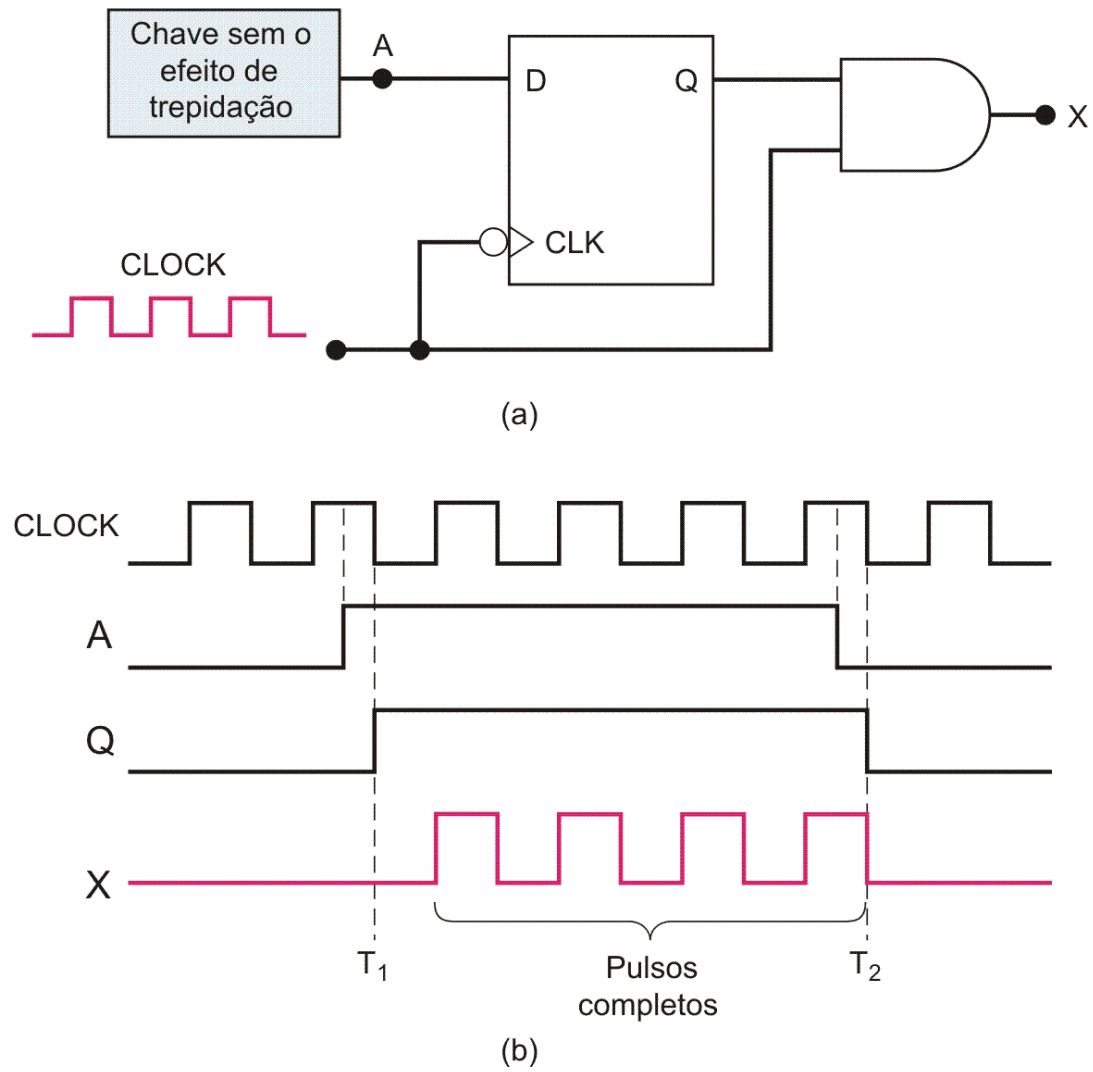
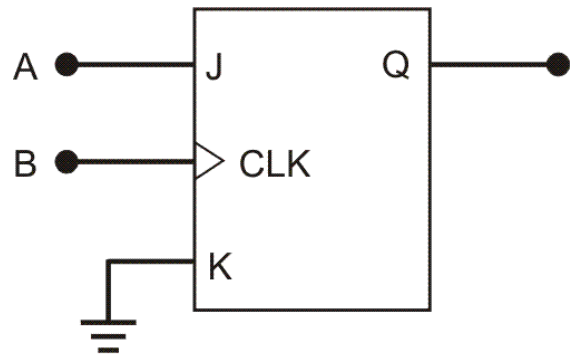
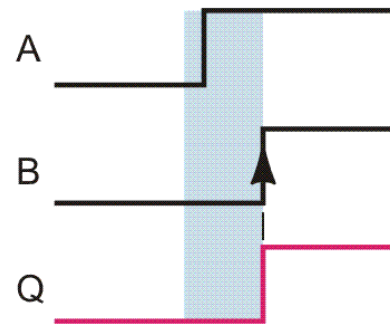


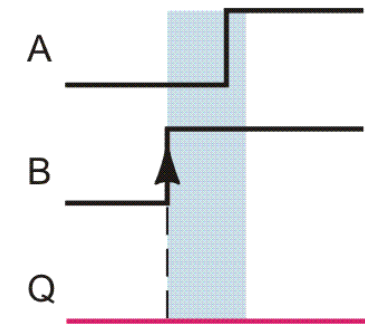
FIGURA 5-39 Flip-flop *J-K* com clock usado para responder a uma seqüência particular de entradas.



(a)



(b) A vai para o nível ALTO antes de B



(c) B vai para o nível ALTO antes de A

FIGURA 5-40 Operação de transferência síncrona de dados realizada por diversos tipos de FFs com clock.

